

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ
ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ



Σχεδιασμός και Υλοποίηση Buck DC-DC
Μετατροπέα Ψηφιακά Ελεγχόμενου από PID
Ελεγκτή με Χρήση FPGA

Σταυρούλα Φουντά

Διπλωματική Εργασία

Εξεταστική Επιτροπή:

Κ. Καλαϊτζάκης (Καθηγητής, Επιβλέπων)

Α.Δόλλας (Καθηγητής)

Μ. Μπούχερ (Επίκουρος Καθηγητής)

Χανιά 2009

Πρόλογος

Στα πλαίσια αυτής της διπλωματικής εργασίας σχεδιάστηκε και υλοποιήθηκε ένας buck DC-DC μετατροπέας ο οποίος έχει σκοπό την επίτευξη τάσης εξόδου που χαρακτηρίζεται από ακρίβεια, σταθερότητα και όσον το δυνατόν μικρότερη διακύμανση. Ο μετατροπέας ελέγχεται από έναν ψηφιακό PID ελεγκτή ο οποίος σχεδιάστηκε και υλοποιήθηκε με χρήση FPGA προγραμματισμένη με γλώσσα περιγραφής υλικού VHDL προκειμένου να επιτευχθεί όσον το δυνατόν υψηλότερη ταχύτητα συλλογής και επεξεργασίας των δεδομένων. Οφείλω να ευχαριστήσω τον καθηγητή κύριο Καλαϊτζάκη Κωνσταντίνο που μου ανέθεσε αυτή την εργασία, για τις συμβουλές αλλά και για την βοήθεια που μου παρείχε κατά τη διάρκεια της εκπόνησής της, καθώς και τους καθηγητές κυρίους Δόλλα Απόστολο και Μπούχερ Ματτίας για το χρόνο που διέθεσαν για να την μελετήσουν. Επίσης θέλω να ευχαριστήσω τους μεταπτυχιακούς φοιτητές του Εργαστηρίου Ηλεκτρικών Κυκλωμάτων κκ. Καντάρη Γιάννη, Κορνελάκη Άρη, Παδαπάκη Κωνσταντίνο και ιδιαιτέρως τον κ. Σίσκο Αλέξανδρο για τη συνεχή βοήθεια που μου προσέφερε σε όλη τη διάρκεια της εργασίας. Τέλος δεν θα μπορούσα να μην ευχαριστήσω την οικογένεια και τους φίλους μου για τη διαρκή υποστήριξη και συμπαράσταση που μου προσέφεραν σε όλη τη διάρκεια των σπουδών μου.

Περίληψη

Στην παρούσα εργασία αναπτύσσεται το θεωρητικό πλαίσιο και η πλήρης υλοποίηση ενός συστήματος μετατροπής συνεχούς τάσης που παρέχει ρυθμιζόμενη συνεχή τάση εξόδου (DC-DC μετατροπέας). Τα πλάτη των τάσεων που μπορεί να επιτύχει το σύστημα αφορούν σε όλο το εύρος τιμών που είναι μικρότερο ή ίσο με τη τάση εισόδου. Ο κύριος προσανατολισμός της εργασίας έγκειται στην επίτευξη τάσεων που χαρακτηρίζονται από ακρίβεια, σταθερότητα, υψηλή συχνότητα δειγματοληψίας και υψηλή ταχύτητα ελέγχου. Για αυτό το λόγο πραγματοποιείται ψηφιακός έλεγχος μέσω ενός PID ελεγκτή και ενός DPWM. Η υλοποίηση των τελευταίων έχει λάβει χώρα στο αναπτυξιακό περιβάλλον του Spartan-3 Starter Kit, της εταιρίας Xilinx, τα πλεονεκτήματα του οποίου εγγυώνται για την ικανοποίηση των παραπάνω απαιτήσεων. Για την υλοποίηση του buck μετατροπέα χρησιμοποιήθηκαν:

- Ένας ADC μετατροπέας 12-bits
- Ένας ενισχυτής υψηλής συχνότητας
- Το αναπτυξιακό περιβάλλον του Spartan-3 Starter Kit, της Xilinx

Το σύστημα υποβλήθηκε σε μια σειρά μετρήσεων προκειμένου να αξιολογηθεί η αποδοτικότητα και η αξιοπιστία του. Εφαρμόστηκαν διαφορετικές τάσεις αναφοράς προκειμένου να ελεγχθεί η ακρίβεια και η διακύμανση που παρουσιάζει ο μετατροπέας για κάθε μία από αυτές τις τάσεις. Τέλος εφαρμόστηκαν διαφορετικά φορτία στην έξοδο και διαφορετικές τιμές τάσης εισόδου για κάθε μία από τις τάσεις αναφοράς και ελέγχθηκε η σταθερότητα που παρουσιάζει η τάση εξόδου στις προαναφερθείσες μεταβολές.

Περιεχόμενα

1	Εισαγωγή	12
2	DC-DC Μετατροπέας.....	17
2.1	Εισαγωγή	17
2.2	Είδη Μετατροπέων	18
2.2.1	Non-Isolated DC-DC Μετατροπείς.....	18
2.2.2	Isolated DC-DC Μετατροπείς.....	24
2.3	Χαρακτηριστικά DC-DC Μετατροπέων.....	26
2.3.1	Απόδοση DC-DC Μετατροπέα	26
2.3.2	Ripple Voltage -Spike Noise	30
2.3.3	Load Regulation	31
2.3.4	Line Regulation	32
3	Buck Μετατροπέας.....	33
3.1	Καταστάσεις λειτουργίας.....	33
3.1.1	Κατάσταση Συνεχούς Ρεύματος Αγωγής (Continuous Current Mode).....	34
3.1.2	Κατάσταση Διακοπτόμενης Αγωγής Ρεύματος (Discontinuous Current Mode).....	38
3.2	Δομικά Στοιχεία Buck Μετατροπέα	40
3.2.1	Επιλογή Ημιαγωγικού Διακόπτη.....	41
3.2.2	Επιλογή Πηνίου	41
3.2.3	Επιλογή Πυκνωτή.....	42
3.2.4	Επιλογή Διόδου	43
4	PID Ελεγκτής.....	44
4.1	Εισαγωγή	44
4.2	Αρχή Λειτουργίας.....	44
4.2.1	Αναλογικός Όρος.....	46
4.2.2	Ολοκληρωτικός Όρος.....	47
4.2.3	Διαφορικός Όρος.....	49

4.3	Υπολογισμός Παραμέτρων	50
4.3.1	Μέθοδος Ziegler-Nichols	51
4.3.2	Μέθοδος Cohen-Coon	54
4.3.3	Γενετικός Αλγόριθμος	56
4.4	Εφαρμογή.....	58
4.4.1	Προβλήματα υπό την παρουσία του Διαφορικού Όρου.....	58
4.4.2	Set- Point Weighting	59
4.4.3	Windup	59
5	FPGA.....	60
5.1	Γενική Δομή FPGAs	60
5.2	Αρχιτεκτονικές Διασύνδεσης.....	62
5.2.1	Αρχιτεκτονική νησίδας.....	62
5.2.2	Αρχιτεκτονική Βασιζόμενη σε Γραμμές	63
5.2.3	Θάλασσα από Πύλες.....	64
5.2.4	Ιεραρχική Αρχιτεκτονική	65
5.2.5	Διάταξη μιας Διάστασης	66
5.2.6	Σύστημα Πολλαπλών FPGA	67
5.3	Spartan-3 FPGA.....	68
5.3.1	Εισαγωγή	68
5.3.2	Γενικά Χαρακτηριστικά	69
6	Υλοποίηση του συστήματος.....	71
6.1	Υλοποίηση αναλογικού κυκλώματος	73
6.1.1	Επιλογή και Περιγραφή Υλικών που Χρησιμοποιήθηκαν	73
6.1.2	Ενίσχυση.....	76
6.1.3	ADC Μετατροπέας.....	77
6.2	Υλοποίηση Ψηφιακού κυκλώματος.....	78
6.2.1	Υλοποίηση PID ελεγκτή.....	78
6.2.2	Διαίρεση Ρολογιού	85
6.2.3	Υλοποίηση DPWM	86

7	Το Λογισμικό του Συστήματος	88
7.1	Γλώσσα περιγραφής υλικού VHDL	88
7.2	Υπολογισμός Παραμέτρων PID Ελεγκτή	89
8	Πειραματικά Αποτελέσματα Συστήματος	95
8.1	Υπολογισμός Ακρίβειας	96
8.2	Υπολογισμός Ripple Voltage.....	103
8.3	Υπολογισμός Load Regulation	105
8.4	Υπολογισμός Line Regulation	108
9	Συμπεράσματα – Μελλοντικές επεκτάσεις	112
10	Βιβλιογραφία	114

Κατάλογος Σχημάτων

Σχήμα 1.1: Γενικό διάγραμμα του συστήματος που υλοποιήθηκε.....	14
Σχήμα 2.1: Κύκλωμα buck μετατροπέα και το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$	20
Σχήμα 2.2: Κύκλωμα boost μετατροπέα και το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$	21
Σχήμα 2.3: Κύκλωμα buck-boost μετατροπέα και το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$	22
Σχήμα 2.4: Κύκλωμα Cuk μετατροπέα και το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$	23
Σχήμα 2.5: Κύκλωμα SEPIC μετατροπέα και το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$	24
Σχήμα 2.6: Κύκλωμα fly-back μετατροπέα.....	25
Σχήμα 2.7: Κύκλωμα forward μετατροπέα.	26
Σχήμα 2.8: Απόδοση ενός ρυθμιστή τάσης.....	27
Σχήμα 2.9: Απώλεια ενέργειας DC-DC μετατροπέα σε κατάσταση ON.....	28
Σχήμα 2.10: Απώλεια ενέργειας DC-DC μετατροπέα σε κατάσταση OFF.	28
Σχήμα 2.11: Τα δύο πρώτα διαγράμματα αναφέρονται στον ρυθμιστή τάσης ενώ τα δύο επόμενα στον DC-DC μετατροπέα. Αφού η διαφορά $V_{IN} - V_{OUT}$ (περιοχή A) είναι μεγαλύτερη από το άθροισμα των περιοχών $C + D$, συνεπάγεται πως η απώλεια ενέργειας στον ρυθμιστή τάσης είναι μεγαλύτερη από ότι στον μετατροπέα.....	29
Σχήμα 3.1: Βασικό κύκλωμα buck μετατροπέα.	33
Σχήμα 3.2: Κατάσταση λειτουργίας ON.	34
Σχήμα 3.3: Κατάσταση λειτουργίας OFF.....	35
Σχήμα 3.4: Γραφική παράσταση της κατάστασης του διακόπτη, της τάσης και του ρεύματος στη διάρκεια μιας περιόδου για ένα ιδανικό buck μετατροπέα που βρίσκεται σε CCM.	37
Σχήμα 3.5: Γραφική παράσταση της κατάστασης του διακόπτη, της τάσης και του ρεύματος στη διάρκεια μιας περιόδου για ένα ιδανικό buck μετατροπέα που βρίσκεται σε DCM.	40
Σχήμα 4.1: Σχηματικό διάγραμμα κλειστού συστήματος με ιδανικό PID ελεγκτή.	45
Σχήμα 4.2: : Απόκριση συστήματος κλειστού βρόγχου υπό την επίδραση του αναλογικού ελεγκτή για $K_p = 1, 2, 5$. Η διεργασία έχει συνάρτηση μεταφοράς $P(s) = 1/(s+1)^3$	47

Σχήμα 4.3: Απόκριση συστήματος κλειστού βρόγχου υπό την επίδραση PI ελεγκτή για $K_p = 5$ και $K_i = 0.2, 0.5, 1.5$. Η διεργασία έχει συνάρτηση μεταφοράς $P(s) = 1/(s+1)^3$	48
Σχήμα 4.4: Απόκριση συστήματος κλειστού βρόγχου υπό την επίδραση PID ελεγκτή για $K_p = 5$, $K_i = 1.5$ και $K_d = 1, 2, 5$. Η διεργασία έχει συνάρτηση μεταφοράς $P(s) = 1/(s+1)^3$	49
Σχήμα 4.5: Μέθοδος βηματικής απόκρισης.	52
Σχήμα 4.6: Διάγραμμα Nyquist για τη μέθοδο απόκρισης συχνότητας.	53
Σχήμα 4.7: Μέθοδος Cohen-Coon.	55
Σχήμα 4.8: Διάγραμμα ροής GA για επιλογή PID παραμέτρων.	57
Σχήμα 5.1: Μοντέλο ενός τυπικού FPGA.	61
Σχήμα 5.2: Αρχιτεκτονική νησίδας.	63
Σχήμα 5.3: Αρχιτεκτονική βασιζόμενη σε γραμμές.	64
Σχήμα 5.4: Θάλασσα από πύλες.	65
Σχήμα 5.5: Ιεραρχική αρχιτεκτονική.	66
Σχήμα 5.6: Μονοδιάστατη διάταξη.	67
Σχήμα 5.7: Διάταξη πλέγματος (αριστερά) και πλέγματος (δεξιά) για σύστημα πολλαπλών FPGA.	68
Σχήμα 5.8: Xilinx Spartan-3 board.	Error! Bookmark not defined.
Σχήμα 6.1: Σχηματικό διάγραμμα του συστήματος που υλοποιήθηκε.	72
Σχήμα 6.2: Ενισχυτής OPA604-Pin configuration.	76
Σχήμα 6.3: Μη-αναστρέφων ενισχυτής.	76
Σχήμα 6.4: Μετατροπέας A/D Ads7800.	78
Σχήμα 6.5: Σχηματικό διάγραμμα PID ελεγκτή.	80
Σχήμα 6.6: Πολλαπλασιαστής.	81
Σχήμα 6.7: Ο αθροιστής / αφαιρέτης.	82
Σχήμα 6.8: Καταχωρητής.	82
Σχήμα 6.9: Σχηματικό διάγραμμα υπολογισμού P όρου.	83
Σχήμα 6.10: Σχηματικό διάγραμμα υπολογισμού I όρου.	84
Σχήμα 6.11: Σχηματικό διάγραμμα για τον υπολογισμό P όρου.	85
Σχήμα 6.12: Σχηματικό διάγραμμα διαιρέτη Ρολογιού.	86
Σχήμα 6.13: Σχηματικό διάγραμμα του DPWM.	87
Σχήμα 7.1: Απόκριση ανοικτού συστήματος.	90
Σχήμα 7.2: Επίδραση αναλογικού κέρδους.	91
Σχήμα 7.3: Επίδραση αναλογικού και διαφορικού ελέγχου.	92
Σχήμα 7.4: Επίδραση αναλογικού-ολοκληρωτικού κέρδους.	93
Σχήμα 7.5: Επίδραση αναλογικού-ολοκληρωτικού-διαφορικού ελεγκτή.	94
Σχήμα 8.1: Ο buck DC-DC μετατροπέας που υλοποιήθηκε και τα όργανα που χρησιμοποιήθηκαν για την αξιολόγησή του.	95

Σχήμα 8.2: Σύγκριση πειραματικών και θεωρητικών αποτελεσμάτων για $f=1$ kHz.....	97
Σχήμα 8.3: Σύγκριση πειραματικών και θεωρητικών αποτελεσμάτων για $f=200$ kHz.....	98
Σχήμα 8.4: Οι τάσεις εξόδου του μετατροπέα για $V_{ref} = 1.5 V$ (πάνω αριστερά), $V_{ref} = 2 V$ (πάνω δεξιά), $V_{ref} = 2.5 V$ (κάτω αριστερά) και $V_{ref} = 3 V$ (κάτω δεξιά), για συχνότητα λειτουργίας $f=1$ kHz.....	100
Σχήμα 8.5: Τα duty cycle που παράγονται από το ψηφιακό κύκλωμα για την επίτευξη των τάσεων αναφοράς του Σχ. 8.4 για συχνότητα λειτουργίας $f=1$ kHz.	101
Σχήμα 8.6: Οι τάσεις εξόδου του μετατροπέα για $V_{ref} = 1.5 V$ (πάνω αριστερά), $V_{ref} = 2 V$ (πάνω δεξιά), $V_{ref} = 2.5 V$ (κάτω αριστερά) και $V_{ref} = 3 V$ (κάτω δεξιά), για συχνότητα λειτουργίας $f=200$ kHz.....	102
Σχήμα 8.7: Τα duty cycle που παράγονται από το ψηφιακό κύκλωμα για την επίτευξη των τάσεων αναφοράς του Σχ. 8.6 για συχνότητα λειτουργίας $f=200$ kHz.	103
Σχήμα 8.8: Επίδραση της μεταβολής του φορτίου στην τάση εξόδου για $f=1$ kHz.....	107
Σχήμα 8.9: Επίδραση της μεταβολής φορτίου στην τάση εξόδου για $f=200$ kHz.	108
Σχήμα 8.10: Επίδραση της μεταβολής της τάσης εισόδου στην τάση εξόδου για $f=1$ kHz... ..	109
Σχήμα 8.11: Επίδραση της μεταβολής της τάσης εισόδου στην τάση εξόδου για $f=200$ kHz.	111

Κατάλογος Πινάκων

Πίνακας 2.1: Ενδεικτικές τιμές της παραμέτρου ESR για διάφορους τύπους πυκνωτών.....	30
Πίνακας 4.1: Επίδραση K παραμέτρων σε σύστημα κλειστού βρόγχου.....	50
Πίνακας 4.2: Κανόνες Ziegler-Nichols για τη μέθοδο βηματικής απόκρισης.....	51
Πίνακας 4.3 : Κανόνες Ziegler-Nichols για τη μέθοδο απόκρισης συχνότητας.....	53
Πίνακας 4.4: Κανόνες Cohen-Coon για τον υπολογισμό των PID παραμέτρων.....	55
Πίνακας 8.1: Πειραματικά αποτελέσματα για συχνότητα λειτουργίας $f=1$ kHz.....	97
Πίνακας 8.2: Πειραματικά αποτελέσματα για συχνότητα λειτουργίας $f=200$ kHz.....	98
Πίνακας 8.3: Πειραματικά αποτελέσματα για το ποσοστό διακύμανσης της τάσης εξόδου σε συχνότητα λειτουργίας $f=1$ kHz.....	104
Πίνακας 8.4: Πειραματικά αποτελέσματα για το ποσοστό διακύμανσης της τάσης εξόδου σε συχνότητα λειτουργίας $f=200$ kHz.....	105
Πίνακας 8.5: Πειραματικά αποτελέσματα για το load regulation σε συχνότητα λειτουργίας $f=1$ kHz.....	106
Πίνακας 8.6: Πειραματικά αποτελέσματα για το load regulation σε συχνότητα λειτουργίας $f=200$ kHz.....	107
Πίνακας 8.7: Πειραματικά αποτελέσματα για το line regulation σε συχνότητα λειτουργίας $f=1$ kHz.....	109
Πίνακας 8.8: Πειραματικά αποτελέσματα για το line regulation σε συχνότητα λειτουργίας $f=200$ kHz.....	110

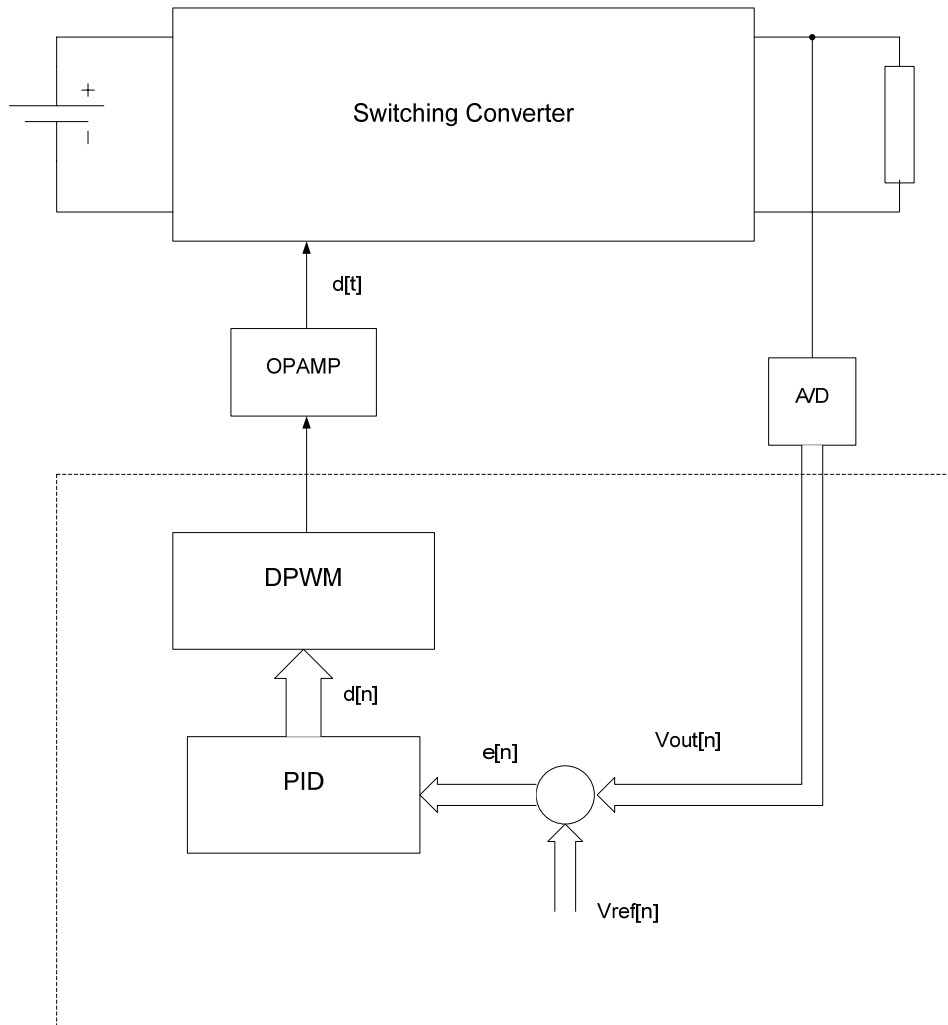
1 Εισαγωγή

Με την πάροδο των ετών και καθώς η βιομηχανία φορητών ηλεκτρονικών συστημάτων σημειώνει ιδιαίτερη άνθιση, νέες απαιτήσεις διαμορφώνονται στον χώρο των ηλεκτρονικών ισχύος. Η αύξηση της διάρκειας «ζωής» μιας μπαταρίας, μικρά και φτηνά συστήματα, η αύξηση του χρόνου ομιλίας σε ένα κινητό τηλέφωνο είναι μερικές από τις απαιτήσεις που σημειώνονται στη σημερινή βιομηχανική κοινότητα. Ηλεκτρονική, απόδοση και έλεγχος είναι οι λέξεις κλειδιά στην ανάπτυξη ηλεκτρονικών συστημάτων που ικανοποιούν τέτοιου είδους ανάγκες.

Ένα παράδειγμα τέτοιων συστημάτων είναι οι DC-DC μετατροπείς. Πρόκειται για ηλεκτρονικές διατάξεις μετατροπής συνεχούς τάσεως σε συνεχείς τάσεις διαφόρων μεγεθών. Η ανάπτυξή τους προέκυψε από την ανάγκη των συσκευών να τροφοδοτούνται από πηγές συνεχούς τάσεως (μπαταρία, τοπικά δίκτυα, φωτοβολταϊκά, γεννήτριες συνεχούς κ.α.). Η συνεχής εξέλιξη της ταχύτητας μεταγωγής των ημιαγωγών και των μετασχηματιστών και το μειούμενο κόστος τους, έφεραν τα τροφοδοτικά αυτής της μορφής να υπερτερούν σε σχέση με τα κλασσικά τροφοδοτικά και να χρησιμοποιούνται πλέον, όχι μόνο σε φορητές συσκευές, αλλά και σε ευρείας κλίμακας συσκευές, ειδικά στο χώρο των ηλεκτρονικών υπολογιστών. Κάποια παραδείγματα εφαρμογής τους είναι: η μετατροπή των 24 V DC από μία μπαταρία αυτοκινήτου σε 12 V για την λειτουργία του CD player του αυτοκινήτου, η πτώση των 5 V DC της μητρικής κάρτας ενός προσωπικού υπολογιστή σε 3 V, 2 V ή και λιγότερο για κάποια CPU chips ή η χρήση τους σαν υπομονάδες σε AC-DC μετατροπείς.

Το ποσοστό μείωσης ή αύξησης της συνεχούς τάσης εισόδου ενός μετατροπέα καθορίζεται από τον έλεγχο του ημιαγωγικού διακόπτη που διαθέτει. Σήμερα στις περισσότερες εφαρμογές χρησιμοποιείται ψηφιακός έλεγχος ο οποίος υπερέχει έναντι του αναλογικού λόγω της ευελιξίας, της χαμηλής ευαισθησίας και της δυνατότητας προγραμματισμού που παρέχει χωρίς την απαίτηση επιπλέον εξωτερικών δομικών στοιχείων. Μέχρι σήμερα έχουν αναπτυχθεί και εφαρμοστεί πολλές μέθοδοι ελέγχου ενός DC-DC μετατροπέα, με αυτή του Proportional-Integral-Derivative (PID) ελεγκτή να κυριαρχεί το τελευταίο μισό αιώνα λόγω της απλότητας και της αποτελεσματικότητας που παρουσιάζει. Διάφορες τεχνικές που

αποσκοπούν στην βελτίωση της απόδοσης του PID ελεγκτή και στην όσο το δυνατόν λιγότερη χρήση πόρων, έχουν αναπτυχθεί και δημοσιευτεί από την επιστημονική κοινότητα. Η ανάπτυξη ενός PID ελεγκτή βασιζόμενου σε Look-Up-Tables (LUTs), έναντι της καθιερωμένης υλοποίησης με πολλαπλασιαστές, επιτυγχάνει χαμηλότερη κατανάλωση ενέργειας, καλύτερη απόδοση κλειστού συστήματος και υψηλότερες συχνότητες με χρήση λιγότερων πόρων [1] [2] [3]. Μία άλλη πρόταση είναι αυτή του μη-γραμμικού PID ελεγκτή ο οποίος καταφέρνει γρήγορη απόκριση συστήματος χωρίς την ταυτόχρονη αύξηση του σφάλματος μόνιμης κατάστασης. Επιπλέον παρέχει μικρότερη ανύψωση, καλύτερη απόδοση και απαιτεί λιγότερο χρόνο αποκατάστασης από αυτή του συμβατικού PID ελεγκτή [4]. Εναλλακτικά από τον PID ελεγκτή, ο οποίος δεν είναι ιδιαίτερα αποτελεσματικός σε μη-γραμμικά συστήματα, μπορεί να χρησιμοποιηθεί μία μέθοδος η οποία εμπεριέχει μόνο αλγεβρικούς υπολογισμούς. Πρόκειται για ένα συνδυασμό του Orthogonal-Functions Approach (OFA) και του Hybrid Taguchi-Genetic Algorithm (HTGA) [5]. Άλλες μέθοδοι ελέγχου ενός μετατροπέα που έχουν χρησιμοποιηθεί είναι αυτή της διαμόρφωσης εύρους παλμών [6], της διαμόρφωσης εύρους παλμών με χρήση της Σίγμα-Δέλτα τεχνικής [7] και ο υβριδικός Posicast ελεγκτής ο οποίος επιτυγχάνει ένα σήμα ελέγχου με χαμηλότερο θόρυβο σε σχέση με τις παραδοσιακές μεθόδους που παρουσιάζουν ευαισθησία στις μεταβολές της συχνότητας [8].



Σχήμα 1.1: Γενικό διάγραμμα του συστήματος που υλοποιήθηκε.

Η κεντρική ιδέα του συστήματος που υλοποιήθηκε σε αυτή τη διπλωματική εργασία παρουσιάζεται στο Σχ. 1.1. Η αναλογική έξοδος του buck DC-DC μετατροπέα διέρχεται από έναν A/D μετατροπέα διακριτικότητας 12-bits προκειμένου να μετατραπεί σε ψηφιακή τιμή και να εισέλθει στο FPGA. Η n -οστή έξοδος του μετατροπέα αφαιρείται σε κάθε κύκλο από την τάση αναφοράς. Η τάση αναφοράς καθορίζεται από την επιθυμητή τάση εξόδου η οποία ορίζεται από τον χρήστη. Η διαφορά των δύο τάσεων αντιστοιχεί στο n -οστό λάθος, η τιμή του οποίου είναι απαραίτητη για τον υπολογισμό του σήματος ελέγχου από τον PID ελεγκτή. Ο ελεγκτής απαρτίζεται από μονάδες που εκτελούν πράξεις μεταξύ προσημασμένων αριθμών βασιζόμενες στους κανόνες της αριθμητικής. Η υλοποίηση του είναι ανεξάρτητη του

μετατροπέα. Αυτό έχει σαν αποτέλεσμα την ύπαρξη ενός ελεγκτή που μπορεί να χρησιμοποιηθεί σε μετατροπείς οι οποίοι χρησιμοποιούν άλλου μεγέθους A/D μετατροπέα ή ακόμα και σε οποιαδήποτε άλλη εφαρμογή απαιτεί κάποια μορφή ελέγχου, όπως πχ. ένα σύστημα που ρυθμίζει τη θερμοκρασία ενός χώρου. Εκτός από την παραμετρικότητα που παρουσιάζει η υλοποίηση του ελεγκτή, πλεονεκτεί και στον ελάχιστο αριθμό πόρων που χρησιμοποιεί. Συγκεκριμένα χρησιμοποιεί 21 slices από τα 7680 (0.27%) που διαθέτει το FPGA, 19/15360 (0.12%) slice FFs και 24/15360 (0.15%) LUTs. Αφού υπολογιστεί το σήμα ελέγχου εισέρχεται στον ψηφιακό διαμορφωτή εύρους παλμών (DPWM) όπου και υπολογίζεται ο ρυθμός αγωγής που οδηγεί το MOSFET. Για την υλοποίηση του DPWM έχει χρησιμοποιηθεί μία μνήμη, ένας μετρητής και ένας συγκριτής. Αξίζει να σημειωθεί πως όλο το ψηφιακό κομμάτι (PID και DPWM) κάνει χρήση μόνο του 20% των πόρων του FPGA, όταν παρόμοιες υλοποιήσεις χρειάζονται μέχρι και 64% μόνο για την υλοποίηση του PID ελεγκτή. Η έξοδος του DPWM εισέρχεται σε έναν ενισχυτή υψηλής συχνότητας προκειμένου να ενισχυθεί και να καταλήξει στην πύλη του MOSFET. Σημειώνεται εδώ πως το σύστημα υλοποιήθηκε και επιβεβαιώθηκε για δύο συχνότητες λειτουργίας, $f = 1 \text{ KHz}$ και $f = 200 \text{ KHz}$, όταν στην ήδη υπάρχουσα βιβλιογραφία υπάρχει μόνο μια άλλη υλοποίηση σε συχνότητα λειτουργίας $f = 100 \text{ kHz}$ [23]. Το αναπτυξιακό περιβάλλον στο οποίο αναπτύχθηκε το ψηφιακό κύκλωμα είναι αυτό του Spartan-3 Starter Kit, της Xilinx ενώ η γλώσσα που χρησιμοποιήθηκε είναι η γλώσσα περιγραφής υλικού VHDL. Η χρήση του FPGA Spartan-3 που περιέχεται στο πακέτο XC3S1000-FT256, προσφέρει στο σύστημα υψηλή ταχύτητα, χαμηλή κατανάλωση ενέργειας και δυνατότητα παραλληλίας. Ανεξάρτητες πράξεις μπορούν να εκτελούνται ταυτόχρονα και να δίνουν γρηγορότερο αποτέλεσμα. Για τον έλεγχο της αξιοπιστίας του συστήματος που σχεδιάστηκε και υλοποιήθηκε, διεξήχθη μια σειρά από μετρήσεις. Τα αποτελέσματα των μετρήσεων επιβεβαιώνουν την ακρίβεια του συστήματος καθώς και την σταθερότητα που υποδεικνύει ο μετατροπέας σε μεταβολές του φορτίου και της τάσης εισόδου. Τέλος να σημειωθεί πως η έξοδος του μετατροπέα παρουσιάζει μέση τιμή διακύμανσης μικρότερη από 2%.

Στο Κεφάλαιο 2 της εργασίας περιγράφονται τα είδη και τα κύρια χαρακτηριστικά των DC-DC μετατροπέων ενώ στο Κεφάλαιο 3 γίνεται αναφορά στις καταστάσεις λειτουργίας του buck μετατροπέα καθώς και στα κριτήρια επιλογής των δομικών του στοιχείων. Στο Κεφάλαιο 4 δίνεται η γενική αρχή λειτουργίας του PID ελεγκτή και αναλύονται κάποιες μέθοδοι υπολογισμού των παραμέτρων του. Στο Κεφάλαιο 5 γίνεται μία αναφορά στα

FPGA, στο Κεφάλαιο 6 παρουσιάζεται η υλοποίηση του συστήματος και στο Κεφάλαιο 7 το λογισμικό που χρησιμοποιήθηκε στο προτεινόμενο σύστημα. Τέλος στο Κεφάλαιο 8 παρατίθενται οι μετρήσεις που πραγματοποιήθηκαν και στο Κεφάλαιο 9 τα συμπεράσματα που προκύπτουν από την παρούσα εργασία.

2 DC-DC Μετατροπέας

2.1 Εισαγωγή

Σήμερα, τα ηλεκτρονικά συστήματα απαιτούν υψηλή ποιότητα, αξιοπιστία και αποδοτικότητα. Οι γραμμικοί ρυθμιστές τάσης, η κύρια λειτουργία των οποίων στηρίζεται στη διαίρεση τάσης ή ρεύματος, είναι ανεπαρκής ως προς αυτή την κατεύθυνση. Οι κύριοι λόγοι είναι ο περιορισμός που εισάγουν ως προς τη τιμή της εξόδου, δηλαδή ότι πρέπει να είναι μικρότερη από αυτή της εισόδου, καθώς και η χαμηλή πυκνότητα ισχύος που οφείλεται στις χαμηλές συχνότητες (50 ή 60 Hz), στους γραμμικούς μετασχηματιστές και στα φίλτρα που χρησιμοποιούνται. Παρόλα αυτά μπορούν να εγγυηθούν για μια υψηλής ποιότητας τάση εξόδου. Το πεδίο εφαρμογής τους περιορίζεται σε συστήματα χαμηλής ισχύος. Σε εφαρμογές υψηλών επιπέδων ισχύος χρησιμοποιούνται ρυθμιστές με διακόπτη (switching regulators-SR), οι οποίοι λειτουργούν σε on και off καταστάσεις. Σε αυτές τις καταστάσεις η απώλεια ενέργειας είναι μικρή (χαμηλή τάση στα άκρα του διακόπτη σε on κατάσταση και μηδενικό ρεύμα δια μέσου του διακόπτη σε off κατάσταση) με αποτέλεσμα οι SR να επιτυγχάνουν υψηλά επίπεδα απόδοσης. Σε υψηλές τιμές συχνότητων βελτιώνεται η δυναμική συμπεριφορά των SR και μικραίνουν τα γεωμετρικά χαρακτηριστικά των δομικών στοιχείων από τα οποία απαρτίζονται. Επιπλέον σε υψηλές συχνότητες επιτυγχάνεται γρήγορη απόκριση του συστήματος σε απότομες αλλαγές του φορτίου ή της τάσης εισόδου.

Τέτοιες λογικές χρησιμοποιούνται στους DC-DC μετατροπείς, η λειτουργία των οποίων είναι η εξής:

- να μετατρέπουν μία DC τάση εισόδου V_i σε μία DC τάση εξόδου V_o
- να ρυθμίζουν την τάση εξόδου στις διακυμάνσεις του φορτίου ή της τάσης εισόδου
- να μειώνουν την ύπαρξη της ac voltage ripple στην DC τάση εξόδου
- να εξασφαλίζουν την απομόνωση ανάμεσα στην πηγή εισόδου και το φορτίο (αυτού του είδους η απομόνωση δεν απαιτείται πάντα) και
- να προστατεύουν το σύστημα που τροφοδοτείται και την πηγή εισόδου από το φαινόμενο της ηλεκτρομαγνητικής παρεμβολής (EMI).

Οι DC-DC μετατροπείς διαιρούνται σε δύο κύριες κατηγορίες, στους hard-switching pulse width modulated (PWM) μετατροπείς και στους resonant and soft-switching μετατροπείς. Σε αυτό το Κεφάλαιο ασχολούμαστε με τους PWM DC-DC μετατροπείς, τα πλεονεκτήματα των οποίων είναι το χαμηλό κόστος των δομικών στοιχείων από τα οποία αποτελούνται, η υψηλή αποδοτικότητα, η σταθερή συχνότητα λειτουργίας και τα υψηλά ποσοστά μετατροπής που παρουσιάζουν τόσο για step-up όσο και για step-down εφαρμογές. Ωστόσο πρέπει να σημειωθεί ο περιορισμός της συχνότητας λειτουργίας σε εκατοντάδες kHz λόγω των απωλειών που εισάγουν οι ορθογώνιες κυματομορφές της τάσης και του ρεύματος.

2.2 Είδη Μετατροπέων

Οι PWM DC-DC μετατροπείς μπορούν περαιτέρω να κατηγοριοποιηθούν σε non-isolated και isolated μετατροπείς. Σε αυτή την ενότητα παρουσιάζονται οι κυριότερες τοπολογίες μετατροπέων από κάθε κατηγορία.

2.2.1 Non-Isolated DC-DC Μετατροπείς

Οι non-isolated μετατροπείς συνήθως χρησιμοποιούν ένα πηνίο και διαθέτουν ένα DC «μονοπάτι» μεταξύ της εισόδου και της εξόδου. Χρησιμοποιούνται σε πληθώρα εφαρμογών μιας και στις περισσότερες δεν απαιτείται απομόνωση μεταξύ της DC τάσης εισόδου και της DC τάσης εξόδου, κάτι που οι μετατροπείς αυτής της κατηγορίας δεν παρέχουν. Τα κυκλώματα των DC-DC μετατροπέων αυξάνουν ή μειώνουν το μέγεθος της DC τάσης ανάλογα με το ρυθμό που ανοιγοκλείνει ο διακόπτης και κάποιες φορές αντιστρέφουν την πολικότητα.

Ένα από τους πιο δημοφιλής μετατροπής είναι ο buck μετατροπέας, ο οποίος μειώνει την DC τάση και έχει ρυθμό μετατροπής $M(D)=D$, όπου D είναι το duty cycle. Ο buck μετατροπέας εξετάζεται εκτενέστερα στο Κεφάλαιο 3. Το κύκλωμα και το διάγραμμα της μετατροπής του παρουσιάζονται στο Σχ. 2.1.

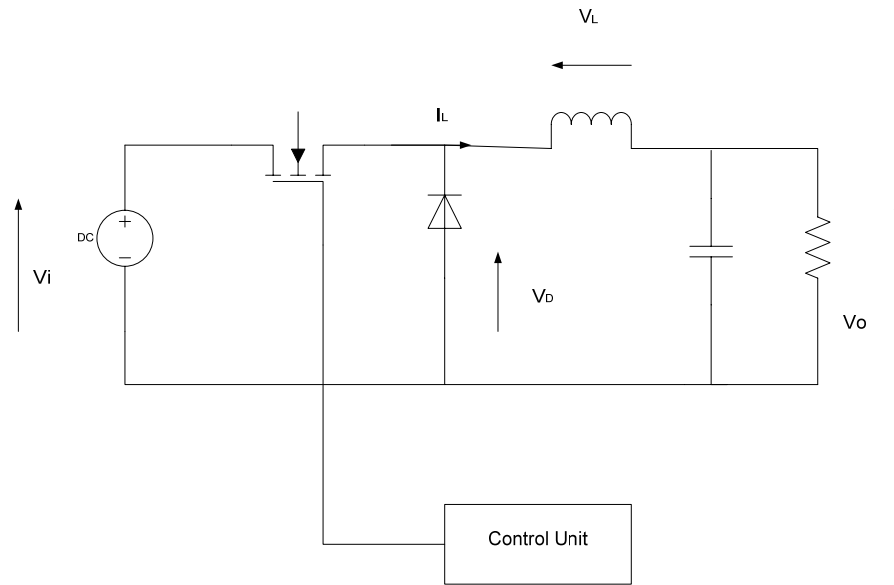
Μια παρόμοια τοπολογία είναι αυτή του boost μετατροπέα [9] [10], ο οποίος αυξάνει την τιμή της τάσης εξόδου σε σχέση με αυτή της τάσης εισόδου. Ο ρυθμός μετατροπής του

δίνεται από τη σχέση $M(D) = 1/(1-D)$, το διάγραμμα του οποίου παρουσιάζεται μαζί με το κύκλωμα του μετατροπέα στο Σχ. 2.2.

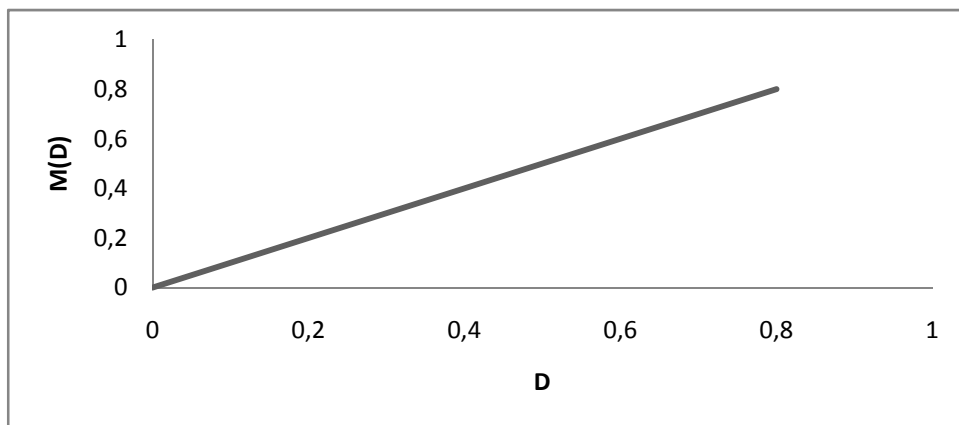
Ο buck-boost μετατροπέας [9] [10] είναι ένας συνδυασμός των δύο παραπάνω μετατροπέων και μπορεί να παράγει μία τάση εξόδου με τιμή είτε μεγαλύτερη είτε μικρότερη από αυτή της τάσης εισόδου. Η τάση εξόδου έχει αντίθετη πολικότητα από αυτή της τάσης εισόδου. Ο ρυθμός μετατροπής του δίνεται από τη σχέση $M(D) = -D/(1-D)$. Στο Σχ. 2.3 παρουσιάζεται το κύκλωμα και το διάγραμμα του ρυθμού μετατροπής του.

Ο Cuk μετατροπέας [9] [10] μπορεί να παράγει είτε μεγαλύτερη είτε μικρότερη τάση εξόδου σε σχέση με αυτή της εισόδου. Η είσοδος και η έξοδος έχουν αντίθετη πολικότητα ενώ σαν κύριο στοιχείο για την αποθήκευση της ενέργειας χρησιμοποιεί πυκνωτή σε αντίθεση με τους περισσότερους μετατροπείς που χρησιμοποιούν πηνίο. Ο ρυθμός μετατροπής είναι ίδιος με αυτόν του buck-boost. Στο Σχ. 2.4 παρουσιάζεται το κύκλωμα και το διάγραμμα του ρυθμού μετατροπής του.

Τέλος ο SEPIC (Single Ended Primary Inductor Converter) [9] [10] μπορεί να δώσει μεγαλύτερη ή μικρότερη τιμή εξόδου από αυτή της εισόδου και σε αντίθεση με τους δύο προηγούμενους μετατροπείς δίνει έξοδο που έχει την ίδια πολικότητα με αυτή της εισόδου. Ο ρυθμός μετατροπής του είναι $M(D) = D/(1-D)$. Παρουσιάζεται στο Σχ. 2.5.

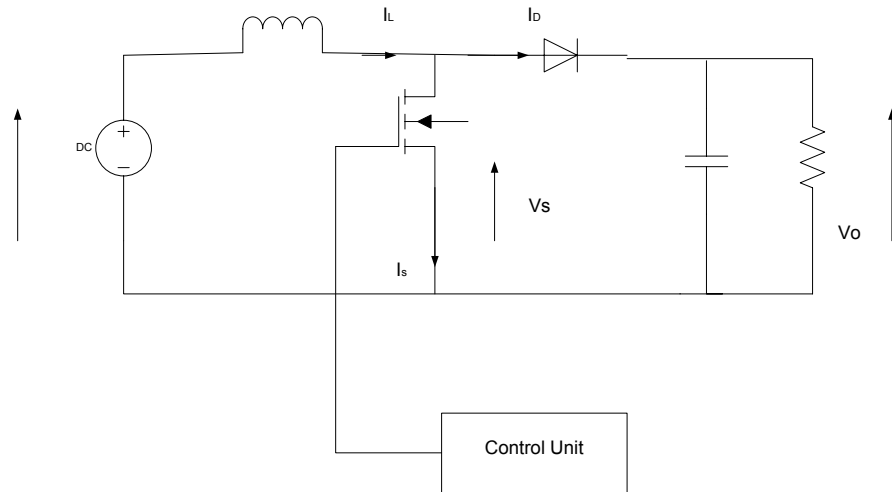


(α)

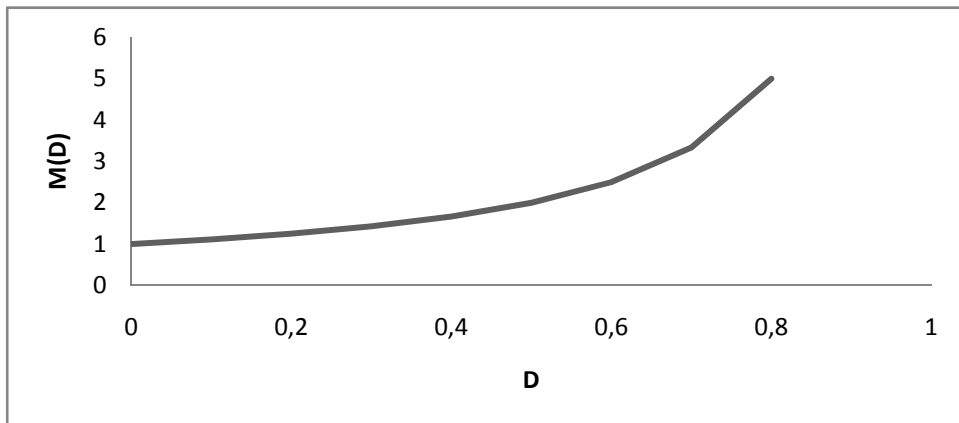


(β)

Σχήμα 2.1: (α) Κύκλωμα buck μετατροπέα και (β) το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$.

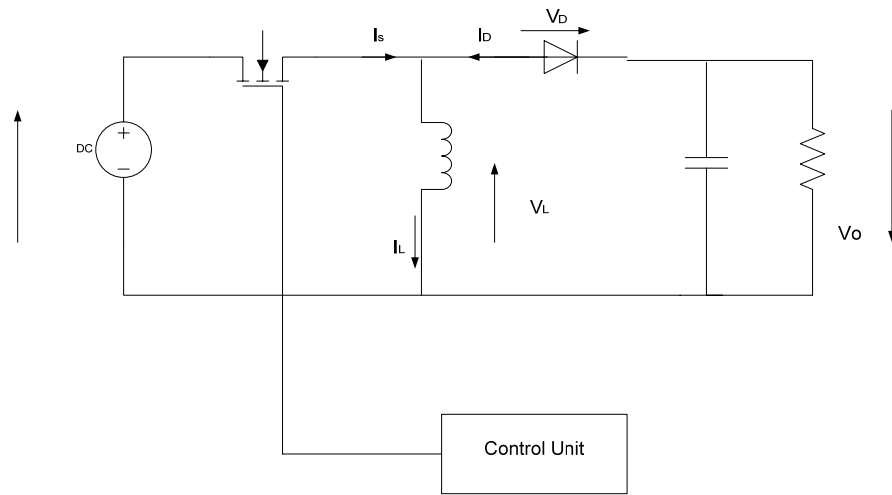


(α)

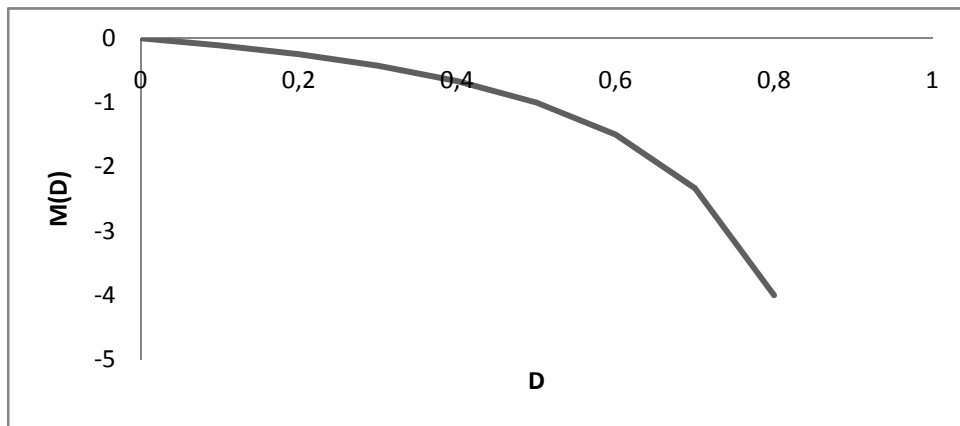


(β)

Σχήμα 2.2: (α) Κύκλωμα boost μετατροπέα και (β) το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$



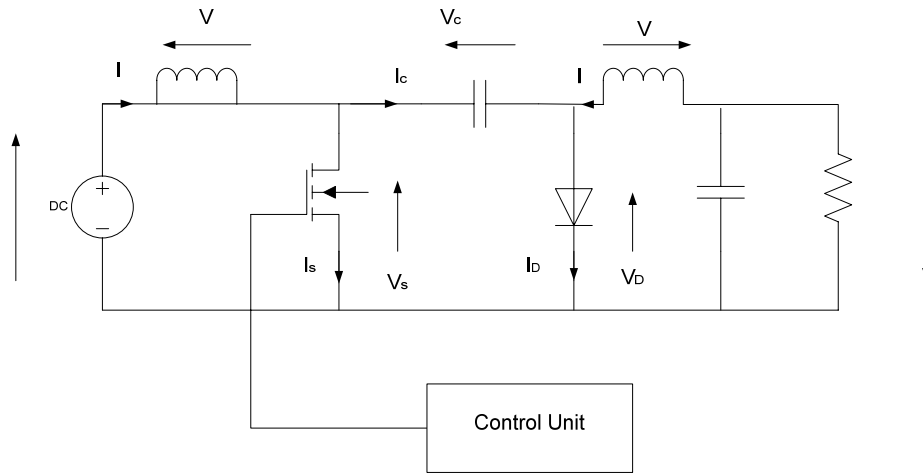
(α)



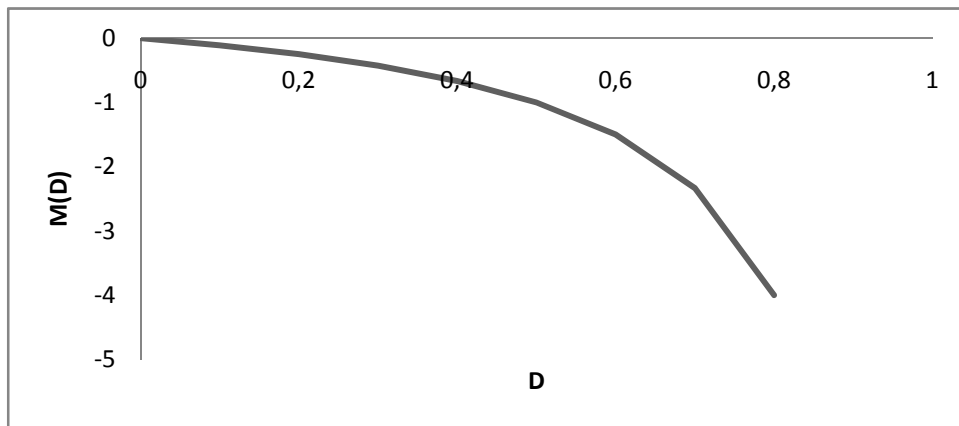
(β)

Σχήμα 2.3: (α) Κύκλωμα buck-boost μετατροπέα και (β) το διάγραμμα του ρυθμού μετατροπής

$$M(D) = \frac{V_o}{V_i}.$$

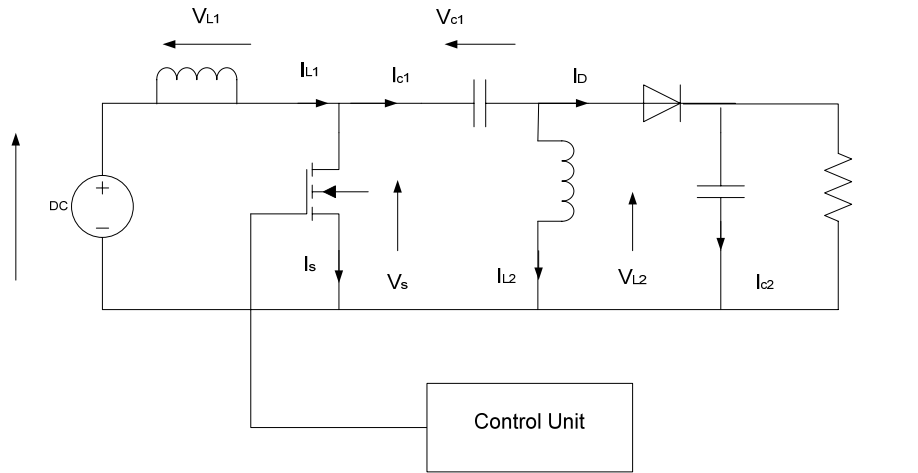


(α)

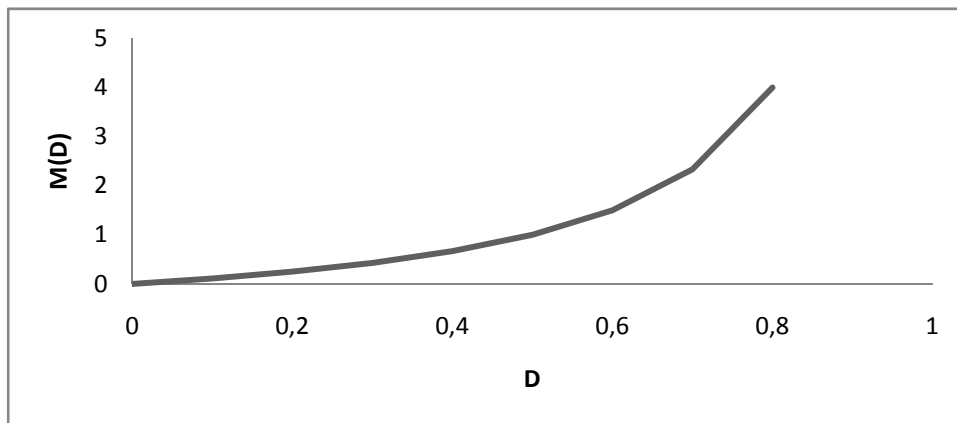


(β)

Σχήμα 2.4: (α) Κύκλωμα Cuk μετατροπέα και (β) το διάγραμμα του ρυθμού μετατροπής $M(D) = \frac{V_o}{V_i}$.



(α)



(β)

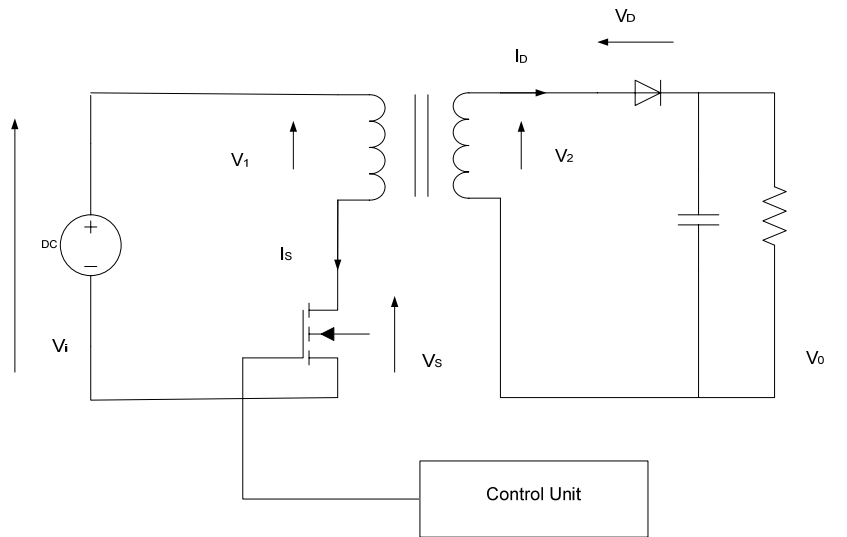
Σχήμα 2.5: (α) Κύκλωμα SEPIC μετατροπέα και (β) το διάγραμμα του ρυθμού μετατροπής

$$M(D) = \frac{V_o}{V_i}.$$

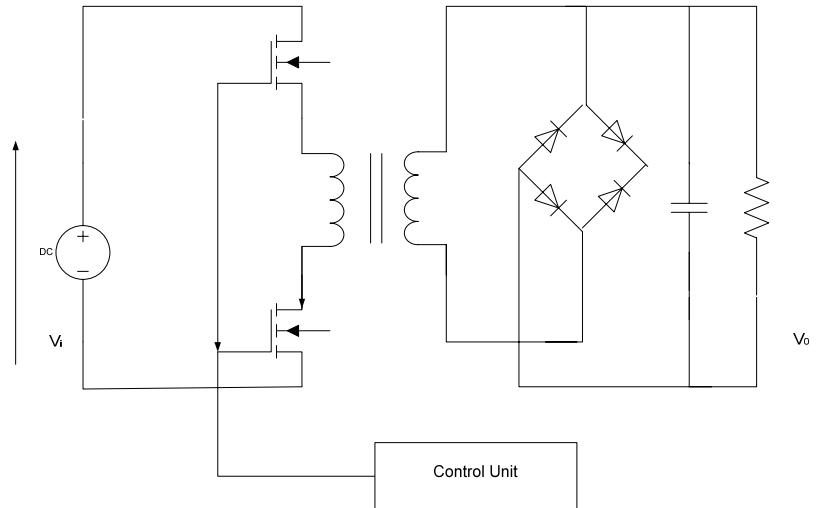
2.2.2 Isolated DC-DC Μετατροπείς

Για λόγους ασφάλειας, σε ένα ηλεκτρονικό σύστημα η είσοδος πρέπει να είναι πλήρως απομονωμένη από την έξοδο. Ένας isolated DC-DC μετατροπέας χρησιμοποιεί μετασχηματιστή, ο οποίος ρυθμίζει τη στάθμη της τάσης και τη μετασχηματίζει είτε σε μικρότερη είτε σε μεγαλύτερη. Ο μετασχηματιστής ακολουθείται από έναν ανορθωτή, ο οποίος μπορεί να είναι είτε απλή δίοδος είτε γέφυρα και από έναν ηλεκτρολυτικό πυκνωτή

συνδεδεμένο παράλληλα με το φορτίο, ώστε να μειώσει την κυμάτωση που εμφανίζεται στην DC τάση μετά την ανόρθωση και να δώσει την τελική τάση εξόδου. Δύο βασικές τοπολογίες isolated μετατροπέων είναι αυτές του fly-back (Σχ. 2.6) και forward (Σχ. 2.7) μετατροπέα [11]. Και οι δύο μετατροπείς είναι ισοδύναμοι με το buck-boost μετατροπέα με τη διαφορά ότι παρέχουν απομόνωση εισόδου-εξόδου και σαν μέσο αποθήκευσης της ενέργειας χρησιμοποιούν το μαγνητικό κύκλωμα ενός μετασχηματιστή αντί για πηνίο. Ο forward μετατροπέας [12] σε σχέση με τον fly-back είναι περισσότερο αποδοτικός ενεργειακά και χρησιμοποιείται σε εφαρμογές υψηλής ισχύος.



Σχήμα 2.6: Κύκλωμα fly-back μετατροπέα.



Σχήμα 2.7: Κύκλωμα forward μετατροπέα.

2.3 Χαρακτηριστικά DC-DC Μετατροπέων

Σε αυτή την ενότητα μελετώνται βασικές αρχές των DC-DC μετατροπέων και κάποια κύρια χαρακτηριστικά, τα οποία πρέπει να λαμβάνονται υπόψη κατά τον σχεδιασμό και την υλοποίηση ενός μετατροπέα.

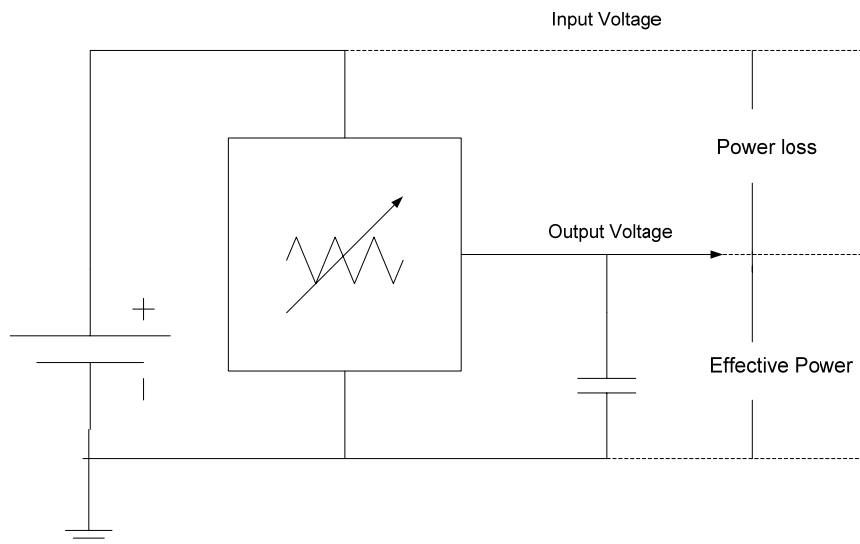
2.3.1 Απόδοση DC-DC Μετατροπέα

Η απώλεια ενέργειας σε ένα δομικό στοιχείο ισούται με το γινόμενο της πτώσης τάσης στα άκρα του με το ρεύμα που το διαρρέει. Η απώλεια αυτή αντιστοιχεί στην θερμότητα που αποδίδεται στο περιβάλλον. Στην περίπτωση ενός DC-DC μετατροπέα τα δομικά στοιχεία που συμβάλλουν στην απώλεια ενέργειας είναι το MOSFET, το πηνίο και η δίοδος. Αν αντικατασταθεί η πτώση τάσης στα άκρα του στοιχείου με το γινόμενο του ρεύματος με την αντίσταση (N.Ohm), τότε ισχύει:

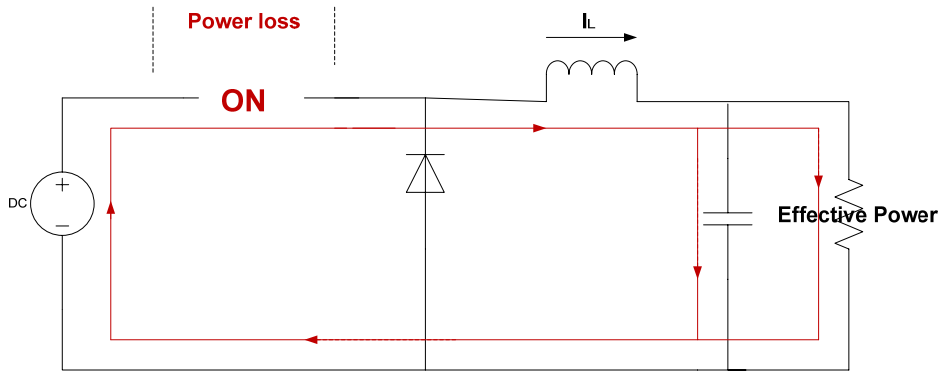
$$\text{Απώλεια Ενέργειας} = \text{ρεύμα}^2 \times \text{αντίσταση}$$

Επειδή το ρεύμα είναι απαραίτητο για να τροφοδοτήσει την ωφέλιμη ενέργεια αυτό που μπορεί να συμβάλλει στην μείωση της απώλειας ενέργειας είναι η μείωση της αντίστασης κάθε δομικού στοιχείου που αναφέρθηκε παραπάνω. Στην περίπτωση του πηνίου η απώλεια ενέργειας στα άκρα του συνδέεται με ένα χαρακτηριστικό του που ονομάζεται Direct Current Resistance (DCR). Με κατάλληλη επιλογή πηνίου, το οποίο να έχει μικρή DCR, μπορεί να

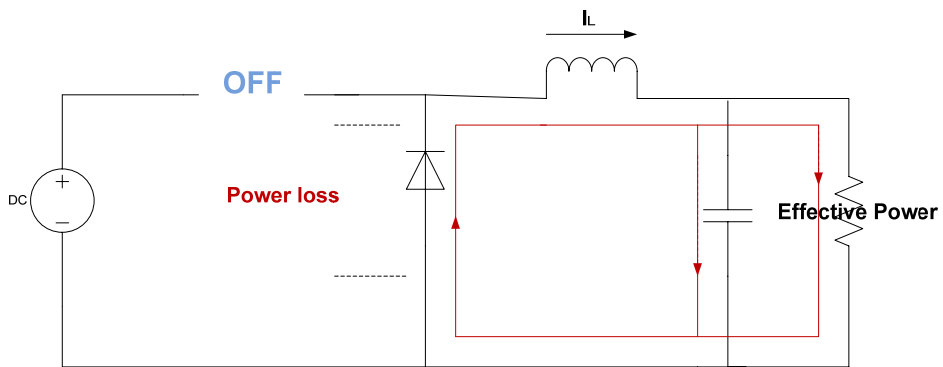
βελτιωθεί σημαντικά η απόδοση του μετατροπέα. Τέλος, ένας ακόμη παράγοντας που επηρεάζει την απόδοση του μετατροπέα είναι η επιλογή της διόδου. Όταν ο μετατροπέας βρίσκεται σε κατάσταση OFF και η διάδος άγει, μια μικρή τάση κατά μήκος της δημιουργείται. Η τάση αυτή ονομάζεται forward voltage και η τυπική της τιμή για διόδους πυριτίου είναι περίπου 0.7 V. Επειδή η forward voltage συμβάλλει στην αύξηση της απώλειας ενέργειας είναι προτιμότερο να χρησιμοποιούνται Schottky διόδου, για τις οποίες η τιμή της forward voltage είναι μικρότερη. Στο Σχ. 2.11 επιβεβαιώνεται ότι η απόδοση ενός DC-DC μετατροπέα είναι υψηλότερη από αυτή ενός ρυθμιστή τάσης, που αναφέρθηκε στην αρχή του κεφαλαίου. Στην περίπτωση του ρυθμιστή τάσης η απώλεια ενέργειας ισούται με το γινόμενο της διαφοράς της τάσης εισόδου-εξόδου με το ρεύμα στην έξοδο Σχ. 2.8. Στην περίπτωση του DC-DC μετατροπέα πρέπει να εξεταστεί το κύκλωμα ξεχωριστά στις δύο καταστάσεις λειτουργίας (ON-OFF). Σε έναν buck μετατροπέα, παραδείγματος χάριν, σε κατάσταση ON, Σχ. 2.9, το στοιχείο που συμβάλλει στην απώλεια ενέργειας είναι το MOSFET και συγκεκριμένα η μικρή διαφορά δυναμικού στα άκρα του επί το ρεύμα που διαρρέει το πηνίο, το οποίο με την πάροδο του χρόνου αυξάνεται. Σε κατάσταση OFF, Σχ.2.10 η απώλεια ενέργειας έγκειται στην forward voltage της διόδου πολλαπλασιασμένη με το ρεύμα που διαρρέει το πηνίο. Το άθροισμα των δύο παραπάνω γινομένων δίνει την συνολική απώλεια ενέργειας σε έναν DC-DC μετατροπέα.



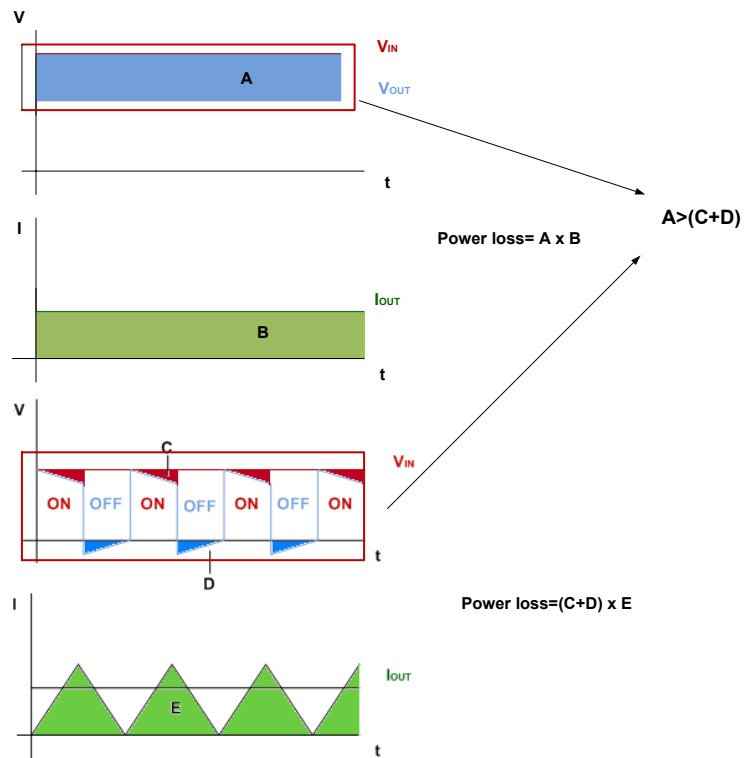
Σχήμα 2.8: Απόδοση ενός ρυθμιστή τάσης.



Σχήμα 2.9: Απόλεια ενέργειας DC-DC μετατροπέα σε κατάσταση ON.



Σχήμα 2.10: Απόλεια ενέργειας DC-DC μετατροπέα σε κατάσταση OFF.



Σχήμα 2.11: Απώλεια ενέργειας του ρυθμιστή τάσης (δύο πρώτα διαγράμματα) και DC-DC μετατροπέα (δύο επόμενα).

2.3.2 Ripple Voltage -Spike Noise

Η τάση εξόδου ενός μετατροπέα εμπεριέχει θόρυβο λόγω της ύπαρξης του διακόπτη. Αν η έξοδος αναπαρασταθεί μέσω ενός παλμογράφου, παρατηρείται πως ο θόρυβος αυτός διαιρείται στο ripple voltage και στο spike noise. Το ripple voltage έχει την ίδια συχνότητα με αυτή του switching και δίνεται από τη σχέση:

$$RippleVoltage = \Delta I_L \times ESR \quad (2.1)$$

όπου:

ΔI_L η κυμάτωση του ρεύματος που διαρρέει το πηνίο

ESR Equivalent Series Resistance

Από τη σχέση (2.1) γίνεται σαφές πως η διακύμανση στην τάση εξόδου είναι ανάλογη της κυμάτωσης του ρεύματος του πηνίου, η οποία δίνεται από τη σχέση (2.2) και του παράγοντα ESR . Ο ESR είναι χαρακτηριστικό του κάθε πυκνωτή και εκφράζει το άθροισμα των απωλειών από την αντίσταση εσωτερικά αυτού. Πρόκειται για έναν ανεπιθύμητο παράγοντα, η τιμή του οποίου επιθυμείται να είναι όσο το δυνατόν μικρότερη. Για αυτό το λόγο επιλέγονται πυκνωτές με χαμηλό ESR , ενδεικτικά οι τιμές του ESR για κάποιους τύπους πυκνωτών παρουσιάζονται στο πίνακα 2.1.

<i>Πίνακας 2.1: Ενδεικτικές τιμές της παραμέτρου ESR για διάφορους τύπους πυκνωτών.</i>	
Είδη Πυκνωτών	ESR
Ceramic	5 m – 20 mΩ
Tantalum	0.1 – 1 Ω
Al Electrolysis	10 m – 10 Ω

Όσο αυξάνεται η τιμή της αυτεπαγωγής του πηνίου τόσο μικρότερη διακύμανση παρατηρείται στην τάση εξόδου, αφού μειώνεται η κυμάτωση του ρεύματος που διαρρέει το

πηνίο. Συνοψίζοντας, από τις σχέσεις (2.1) και (2.2) προκύπτει το συμπέρασμα πως για μικρό ripple voltage απαιτείται υψηλή αυτεπαγωγή και χαμηλό ESR.

$$\Delta I_L = \frac{(V_i - V_o)}{L} \cdot t_{on} \quad (2.2)$$

όπου:

L η αυτεπαγωγή του πηνίου

V_i η τάση εισόδου

V_o η τάση εξόδου

t_{on} ο χρονική διάρκεια κατά την οποία ο διακόπτης είναι κλειστός

Τέλος, σε έναν DC-DC μετατροπέα η μετάβαση από την κατάσταση λειτουργίας ON στην κατάσταση λειτουργίας OFF, δημιουργεί στιγμιαία κατά μήκος της διόδου ένα αντίστροφο ρεύμα το οποίο είναι υπεύθυνο για το spike noise στην τάση εξόδου.

2.3.3 Load Regulation

Ως Load regulation ορίζεται η μεταβολή της τιμής της τάσης εξόδου που παρατηρείται όταν μεταβάλλεται το φορτίο της εξόδου. Υπολογίζεται σύμφωνα με τον παρακάτω μαθηματικό τύπο [13]:

$$\%LoadRegulation = \frac{V_{o(fullload)} - V_{o(minload)}}{V_{o(no min allload)}} \times 100\% \quad (2.3)$$

όπου:

$V_{o(fullload)}$ η τάση εξόδου για τη μικρότερη τιμή του φορτίου εξόδου

$V_{o(minload)}$ η τάση εξόδου για την μεγαλύτερη τιμή φορτίου

$V_{o(no min allload)}$ η τάση εξόδου για την ενδιάμεση τιμή φορτίου

2.3.4 Line Regulation

Ως Line regulation ορίζεται η μεταβολή της τάσης εξόδου εξαιτίας της μεταβολής που πραγματοποιείται στην τάση εισόδου. Εκφράζεται σαν ένα ποσοστό της ονομαστικής τάσης εξόδου και υπολογίζεται από τον παρακάτω τύπο [13]:

$$\%LineRegulation = \frac{V_{o(highline)} - V_{o(lowline)}}{V_{o(nominalline)}} \times 100\% \quad (2.4)$$

όπου:

$V_{o(highline)}$ η τιμή της τάσης εξόδου για την μέγιστη τάση εισόδου

$V_{o(lowline)}$ η τιμή της τάσης εξόδου για την ελάχιστη τάση εισόδου

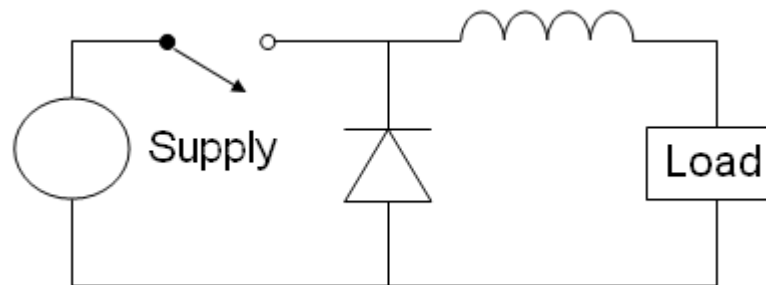
$V_{o(nominalline)}$ η τιμή της τάσης εξόδου για την μέση τιμή των τάσεων εισόδου

3 Buck Μετατροπέας

Ο buck μετατροπέας είναι ένας ευρέως χρησιμοποιούμενος DC-DC μετατροπέας σε εφαρμογές που απαιτούν γρήγορη φόρτιση, γραμμική μεταβατική απόκριση και υψηλή απόδοση σε μεγάλο εύρος τιμών ρεύματος. Πρόκειται για έναν μετατροπέα που υποβαθμίζει την τάση εισόδου. Μπορεί να χρησιμοποιηθεί για παράδειγμα σε υπολογιστικά συστήματα, όπου η τάση πρέπει να διατηρηθεί σε τιμές χαμηλότερες από αυτές της εισόδου ή για την παράταση του χρόνου ζωής μιας μπαταρίας σε ένα κινητό σύστημα. Στις ενότητες που ακολουθούν περιγράφεται ο τρόπος επιλογής των δομικών στοιχείων που απαρτίζουν έναν buck μετατροπέα καθώς και οι τρόποι λειτουργίας του.

3.1 Καταστάσεις λειτουργίας

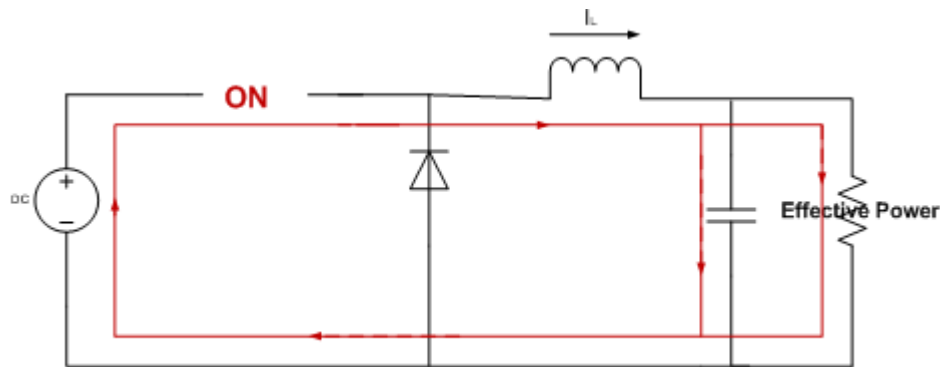
Το βασικό κύκλωμα ενός buck μετατροπέα παρουσιάζεται στο Σχ. 3.1. Η λειτουργία του είναι απλή και στηρίζεται στην εναλλαγή μεταξύ της σύνδεσης του πηνίου με την πηγή για την φόρτιση του πηνίου και στην εκφόρτισή του μέσω του φορτίου.



Σχήμα 3.1: Βασικό κύκλωμα buck μετατροπέα.

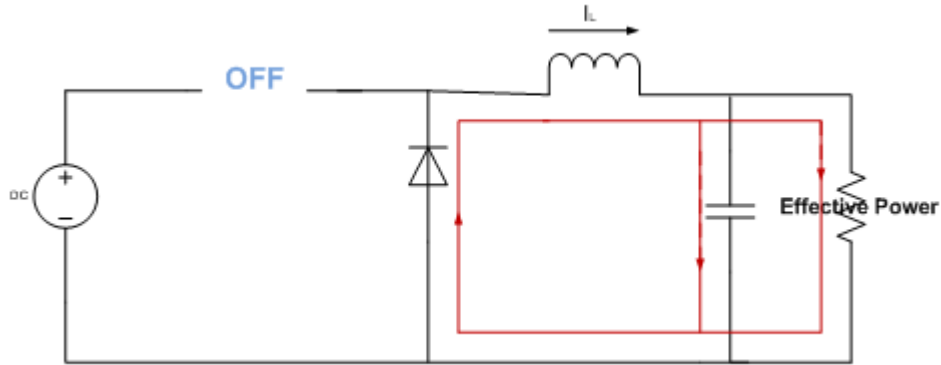
3.1.1 Κατάσταση Συνεχούς Ρεύματος Αγωγής (Continuous Current Mode)

Ο buck μετατροπέας λειτουργεί σε continuous-current mode (CCM) όταν το ρεύμα του πηνίου δεν πέφτει στο μηδέν. Σε αυτή την κατάσταση ο μετατροπέας μπορεί είτε να βρίσκεται σε κατάσταση αγωγής (ON) είτε σε κατάσταση αποκοπής (OFF) [14]. Όταν ο διακόπτης είναι κλειστός Σχ. 3.2, δηλαδή ο μετατροπέας βρίσκεται σε κατάσταση ON, η τάση στα άκρα του πηνίου είναι $V_L = V_i - V_o$, όπου V_i η τάση εισόδου και V_o η τάση εξόδου. Το ρεύμα που διαρρέει το πηνίο αυξάνεται γραμμικά αφού η τάση εισόδου είναι μεγαλύτερη από αυτή της εξόδου. Όσο το ρεύμα του πηνίου αυξάνει, το ίδιο φορτίζεται. Σε αυτή την κατάσταση η διόδος είναι ανάστροφα πολωμένη σε σχέση με την τάση της πηγής, με αποτέλεσμα να μην διέρχεται από αυτήν ρεύμα.



Σχήμα 3.2: Κατάσταση λειτουργίας ON.

Όταν ο διακόπτης είναι ανοικτός Σχ. 3.3, δηλαδή ο μετατροπέας βρίσκεται σε κατάσταση λειτουργίας OFF, η διόδος είναι ορθά πολωμένη, το πηνίο εκφορτίζεται και παρέχει ενέργεια στο δίκτυο RC. Η τάση στα άκρα του πηνίου είναι $V_L = -V_o$, ενώ το ρεύμα κατά μήκος του μειώνεται.



Σχήμα 3.3: Κατάσταση λειτουργίας OFF.

Η ενέργεια που αποθηκεύεται στο πηνίο δίνεται από τη σχέση (3.1). Από αυτή γίνεται αντιληπτό πως η ενέργεια είναι ανάλογη με το ρεύμα που διαρρέει το πηνίο, οπότε αυξάνεται κατά την κατάσταση λειτουργίας ON και μειώνεται κατά την κατάσταση OFF.

$$E = \frac{1}{2} L \times I_L^2 \quad (3.1)$$

όπου:

E η ενέργεια που αποθηκεύεται στο πηνίο

L η αυτεπαγωγή του πηνίου

I_L το ρεύμα που διαρρέει το πηνίο

Ο ρυθμός μεταβολής του I_L μπορεί να υπολογιστεί από τη σχέση που ακολουθεί.

$$V_L = L \frac{dI_L}{dt} \quad (3.2)$$

Όπου $V_L = V_i - V_o$ στην κατάσταση ON και $V_L = -V_o$ στην κατάσταση OFF. Η κυμάτωση ΔI_L του ρεύματος του πηνίου στην κατάσταση αγωγής και αποκοπής αντίστοιχα, δίνεται από τις σχέσεις (3.3) και (3.4).

$$\Delta I_{Lon} = \int_0^{t_{on}} \frac{V_L}{L} dt = \frac{(V_i - V_o) t_{on}}{L} \quad (3.3)$$

$$\Delta I_{Loff} = \int_0^{t_{off}} \frac{V_L}{L} dt = -\frac{V_o t_{off}}{L} \quad (3.4)$$

όπου:

ΔI_{Lon} η κυμάτωση του ρεύματος του πηνίου στην κατάσταση αγωγής

ΔI_{Loff} η κυμάτωση του ρεύματος του πηνίου στην κατάσταση αποκοπής

t_{on} το χρονικό διάστημα όπου ο διακόπτης είναι κλειστός

t_{off} το χρονικό διάστημα όπου ο διακόπτης είναι ανοικτός

Η ενέργεια που είναι αποθηκευμένη σε κάθε δομικό στοιχείο στο τέλος μίας περιόδου είναι ίση με αυτή στην αρχή της περιόδου. Αυτό σημαίνει πως το I_L είναι ίδιο για $t=0$ και για $t=T$ και πως ισχύει η σχέση (3.5).

$$\begin{aligned} \Delta I_{Lon} + \Delta I_{off} &= 0 \\ \frac{(V_i - V_o)t_{on}}{L} - \frac{V_o t_{off}}{L} &= 0 \end{aligned} \quad (3.5)$$

Αν το t_{on} αντικατασταθεί με το γινόμενο $D \cdot T$ και αντίστοιχα το t_{off} με $T - D \cdot T$, τότε η σχέση (3.5) μετατρέπεται στη σχέση (3.6).

$$\begin{aligned} (V_i - V_o) \cdot D \cdot T - V_o (T - D \cdot T) &= 0 \\ V_o &= D \cdot V_i \end{aligned} \quad (3.6)$$

όπου:

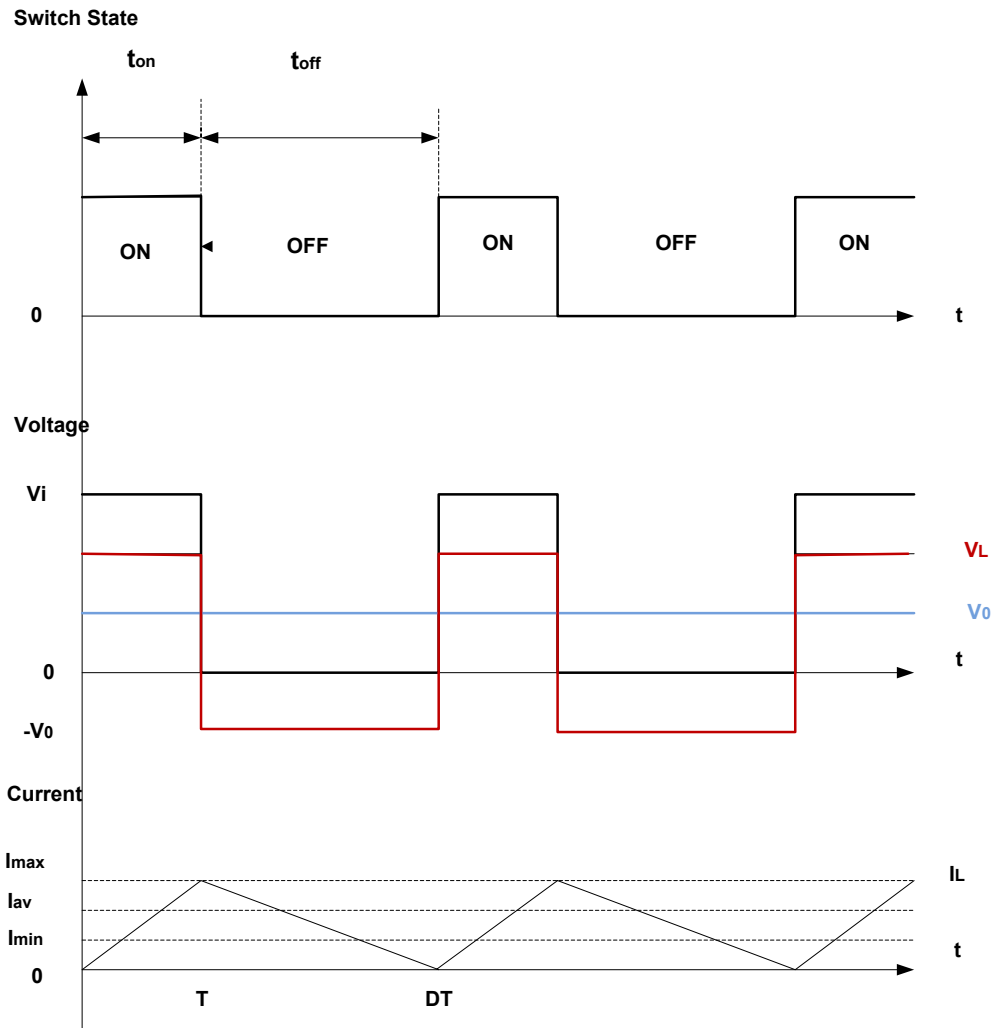
D η σχετική διάρκεια αγωγής (duty cycle), όπου παίρνει τιμές από 0 έως 1

T η περίοδος του switching

Από τη σχέση (3.6) προκύπτει πως το duty cycle ισούται με:

$$D = \frac{V_o}{V_i} \quad (3.7)$$

Δεδομένου ότι το duty cycle είναι το ποσοστό του χρόνου όπου ο διακόπτης είναι σε κατάσταση αγωγής στη διάρκεια μίας περιόδου, δεν μπορεί να ξεπερνάει την μονάδα. Άρα, $\frac{V_o}{V_i} \leq 1$ και $V_o \leq V_i$. Αποδεικνύεται λοιπόν πως ο buck μετατροπέα δίνει τάση εξόδου μικρότερη ή ίση με τη τιμή της εισόδου.



Σχήμα 3.4: Γραφική παράσταση της κατάστασης του διακόπτη, της τάσης και του ρεύματος στη διάρκεια μιας περιόδου για ένα ιδανικό buck μετατροπέα που βρίσκεται σε CCM.

3.1.2 Κατάσταση Διακοπτόμενης Αγωγής Ρεύματος (Discontinuous Current Mode)

Το ρεύμα κατά μήκος του πηνίου πέφτει στο μηδέν όταν το ρεύμα εξόδου παίρνει χαμηλές τιμές, δηλαδή όταν $I_{out} < \Delta I_L / 2$, και παραμένει σε αυτή την τιμή μέχρι να ξανακλείσει ο διακόπτης. Όταν ισχύει η παραπάνω αρχή ο μετατροπέας λειτουργεί σε discontinuous-current mode (DCM) και οι εξισώσεις που τον διέπουν διαφοροποιούνται λίγο από την περίπτωση του CCM.

$$(V_i - V_o) \cdot D \cdot T - V_o \cdot \delta \cdot T = 0 \quad (3.8)$$

όπου:

$$\delta = \frac{V_i - V_o}{V_o} \cdot D$$

Το ρεύμα εξόδου που διέρχεται από το φορτίο παραμένει σταθερό, αφού έχει θεωρηθεί πως ο πυκνωτής είναι αρκετά μεγάλος για να διατηρεί σταθερή τιμή τάσης στους ακροδέκτες του κατά τη διάρκεια μίας περιόδου. Αυτό συνεπάγεται πως το ρεύμα που διαρρέει των πυκνωτή έχει μηδενική μέση τιμή. Ισχύει λοιπόν:

$$\overline{I_L} = I_{out} \quad (3.9)$$

όπου:

I_L η μέση τιμή του ρεύματος που διαρρέει το πηνίο

Σύμφωνα με το διάγραμμα του Σχ. 3.5 το I_L μπορεί να διεξαχθεί γεωμετρικά και να προκύψει η σχέση (3.10).

$$\overline{I_L} = \left(\frac{1}{2} I_{L_{max}} \cdot D \cdot T + \frac{1}{2} I_{L_{max}} \cdot \delta \cdot T \right) \frac{1}{T} = \frac{I_{L_{max}} (D + \delta)}{2} = I_{out} \quad (3.10)$$

Το I_L αρχικά είναι μηδέν και κατά τη διάρκεια του t_{on} αυξάνει μέχρι την τιμή $I_{L_{max}}$. Αυτό σημαίνει πως το $I_{L_{max}}$ ισούται με:

$$I_{L_{\max}} = \frac{V_i - V_o}{L} \cdot D \cdot T \quad (3.11)$$

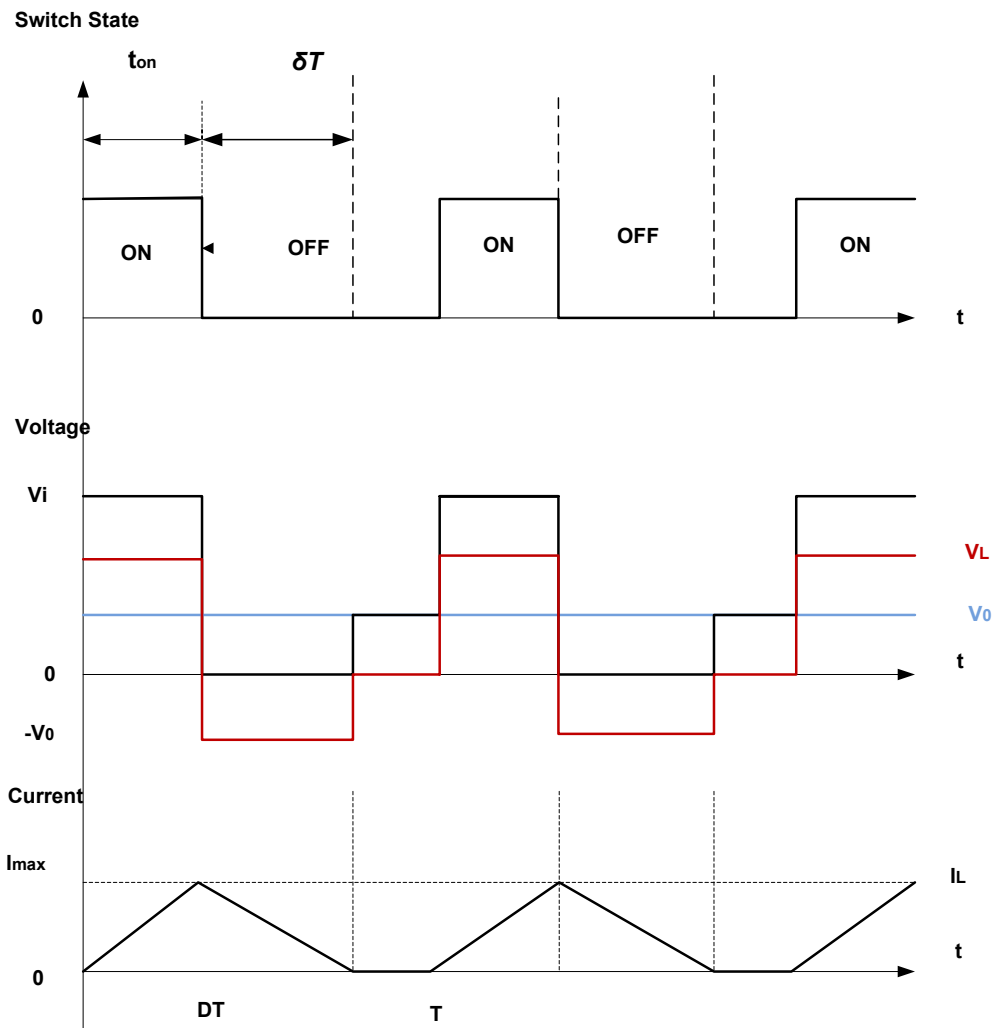
Αν αντικατασταθεί η σχέση (3.11) στη σχέση (3.10) προκύπτει η παρακάτω ισότητα:

$$I_{out} = \frac{(V_i - V_o) \cdot D \cdot T (D + \delta)}{2L} \quad (3.12)$$

Αν η σχέση (3.12) λυθεί ως προς V_o προκύπτει η σχέση:

$$V_o = V_i \frac{1}{\frac{2L \cdot I_{out}}{D^2 \cdot V_i \cdot T} + 1} \quad (3.13)$$

Είναι φανερό πως η τάση εξόδου στην περίπτωση του DDC είναι πιο περίπλοκη από την αντίστοιχη στη περίπτωση του CCM. Δεν εξαρτάται μόνο από την τάση εισόδου και το D αλλά και από την αυτεπαγωγή του πηνίου, την περίοδο και το ρεύμα εξόδου.



Σχήμα 3.5: Γραφική παράσταση της κατάστασης του διακόπτη, της τάσης και του ρεύματος στη διάρκεια μιας περιόδου για ένα ιδανικό buck μετατροπέα που βρίσκεται σε DCM.

3.2 Δομικά Στοιχεία Buck Μετατροπέα

Όπως ήδη έχει αναφερθεί στην προηγούμενη ενότητα τα κύρια δομικά στοιχεία από τα οποία αποτελείται ένας buck DC-DC μετατροπέας είναι:

- Έλεγχος με τη μέθοδο διαμόρφωσης εύρους παλμών (PWM)
- Ημιαγωγικός διακόπτης
- Πηνίο
- Πυκνωτής
- Δίοδος

Σε αυτή την ενότητα δίνονται λεπτομέρειες σχετικά με την επιλογή των κατάλληλων τιμών για τις προαναφερθείσες παραμέτρους. Για τον υπολογισμό τους προαπαιτείται η γνώση του εύρους τιμών της τάσης εισόδου V_i , η επιθυμητή τιμή της τάσης εξόδου V_o , η μέγιστη τιμή του ρεύματος εξόδου $I_{o\max}$ και η συχνότητα που γίνεται το switching f_{sw} .

3.2.1 Επιλογή Ημιαγωγικού Διακόπτη

Το τρανζίστορ που θα χρησιμοποιηθεί θα πρέπει να έχει γρήγορο χρόνο switching, να δέχεται τάση μέχρι τη μέγιστη τιμή της τάσης εισόδου του μετατροπέα και να αντέχει τις «αιχμές» της τάσης που δημιουργούνται από το πηνίο. Όσον αφορά το ρεύμα θα πρέπει να αντέχει το μέγιστο ρεύμα φόρτισης, το οποίο αναπτύσσεται στιγμιαία κατά τη χρονική στιγμή έναυσης του διακόπτη. Στην πύλη του τρανζίστορ συνδέεται ένα σήμα διαμόρφωσης εύρους παλμών, το οποίο ορίζει τον χρόνο κατά τον οποίο το τρανζίστορ θα βρίσκεται σε κατάσταση ON και OFF. Το μέγεθος του διακόπτη συνδέεται με το ρεύμα φόρτισης και την τάση του πυκνωτή στην κατάσταση OFF. Το τρανζίστορ μπορεί να είναι MOSFET, IGBT, JFET ή BJT.

3.2.2 Επιλογή Πηνίου

Ένα από τα κυριότερα ερωτήματα κατά τον σχεδιασμό ενός μετατροπέα είναι τι είδους πηνίο πρέπει να χρησιμοποιηθεί, καθώς το πηνίο και η κυμάτωση του ρεύματος είναι παράμετροι που δεν ορίζονται ως σταθερές από την αρχή της σχεδίασης. Από τη σχέση (2.2) είναι ξεκάθαρο πως η αυτεπαγωγή είναι αντιστρόφως ανάλογη της κυμάτωσης του ρεύματος. Αν λοιπόν επιθυμείται μείωση της κυμάτωσης, πρέπει να χρησιμοποιηθεί πηνίο με υψηλή αυτεπαγωγή. Μεγάλη κυμάτωση σημαίνει μεγαλύτερο ρεύμα αιχμής I_{pk} , σχέση (3.14), γεγονός που συνεπάγεται μεγαλύτερη πιθανότητα το πηνίο να φτάσει σε κορεσμό. Όταν το πηνίο βρίσκεται σε κατάσταση κορεσμού μειώνεται η αποδοτικότητα του μετατροπέα ενώ αυξάνεται η θερμοκρασία του πηνίου, της διόδου και του MOSFET.

$$I_{pk} = I_{o\max} + \frac{\Delta I_L}{2} \quad (3.14)$$

3.2.3 Επιλογή Πυκνωτή

Σκοπός του πυκνωτή εξόδου είναι να μειώνει την υπερύψωση και τη διακύμανση που παρατηρούνται στη τάση εξόδου του μετατροπέα. Για το λόγο αυτό χρησιμοποιούνται πυκνωτές που έχουν υψηλή χωρητικότητα και χαμηλό ESR. Θα πρέπει να δοθεί προσοχή στην παράμετρο ESR, καθώς πολύ μικρές τιμές αυτής μπορεί να προκαλέσουν την αστάθεια του μετατροπέα. Επιθυμείται ο πυκνωτής να είναι αρκετά μεγάλος (ιδανικά $C_o \rightarrow \infty$) ώστε η τάση εξόδου να παραμένει σταθερή ανεξάρτητα του φορτίου εξόδου. Η χωρητικότητα του πυκνωτή υπολογίζεται από τη σχέση (3.15) [15].

$$C_o = \frac{L \left(I_{o\max} + \frac{\Delta I_L}{2} \right)^2}{(\Delta V + V_o)^2 - V_o^2} \quad (3.15)$$

όπου:

ΔV η μέγιστη τιμή ανύψωσης

Η διακύμανση της τάσης εξόδου ισούται με το άθροισμα της διακύμανσης που οφείλεται στην ύπαρξη του πυκνωτή και της διακύμανσης λόγω της παραμέτρου ESR του πυκνωτή. Οι μαθηματικές σχέσεις για τον υπολογισμό τους παρατίθενται στη συνέχεια [15]:

$$\begin{aligned} V_{ocapacitor} &= \frac{1}{2C_o} \times \frac{V_{imax} - V_o}{L} \times \left(\frac{V_o}{V_{imax}} \times \frac{1}{f_{sw}} \right)^2 \\ V_{oESR} &= I_{Lripple} \times ESR_{C_o} = \Delta I_L \times ESR_{C_o} \\ V_{oripple} &= \frac{1}{2C_o} \times \frac{V_{imax} - V_o}{L} \times \left(\frac{V_o}{V_{imax}} \times \frac{1}{f_{sw}} \right)^2 + \Delta I_L \times ESR_{C_o} \end{aligned} \quad (3.16)$$

3.2.4 Επιλογή Διόδου

Όταν ο διακόπτης είναι ανοικτός θα πρέπει να υπάρχει κάποιο μονοπάτι για το ρεύμα του πηνίου, προκειμένου να διατηρηθεί η συνέχεια του ρεύματος. Αυτό το μονοπάτι παρέχεται από τη δίοδο ελεύθερης διέλευσης (freewheeling diode). Ένας περιοριστικός παράγοντας κατά την επιλογή της διόδου είναι η απώλεια ενέργειας κατά μήκος της, σχέση (3.17) [15].

$$P_{diode} = \left(1 - \frac{V_o}{V_{i\max}}\right) \cdot I_{o\max} \cdot V_D \quad (3.17)$$

όπου:

P_{diode} η απώλεια ενέργειας εξαιτίας της διόδου

V_D η πτώση τάσης στα άκρα της διόδου για μέγιστο ρεύμα εξόδου

Επιπλέον θα πρέπει να γίνεται χρήση διόδου, της οποίας το χαρακτηριστικό ρεύμα αγωγής θα πρέπει να είναι μεγαλύτερο ή ίσο από το μέγιστο ρεύμα εξόδου ($I_{F_{AV}} \geq I_{o\max}$). Τέλος για αξιόπιστη λειτουργία στις μεταβολές της τάσης εισόδου θα πρέπει να έχει εξασφαλιστεί πως η reverse-repetitive-maximum τάση της διόδου (η μέγιστη τάση που μπορεί να αντέξει η δίοδος σε κατάσταση ανάστροφης πόλωσης) είναι μεγαλύτερη από την μέγιστη τιμή της τάσης εισόδου ($V_{RRM} \geq V_{i\max}$).

4 PID Ελεγκτής

4.1 Εισαγωγή

Ο Proportional-Integral-Derivative (PID) ελεγκτής είναι ένας ελεγκτής τριών παραμέτρων με μεγάλη ιστορία στον τομέα του αυτόματου ελέγχου. Η αποτελεσματικότητά του σε συνδυασμό με την απλότητα στον σχεδιασμό και την εφαρμογή του, τον καθιστούν ως τον πιο διαδεδομένο ελεγκτή στον χώρο της βιομηχανίας. Σήμερα, οι PID ελεγκτές κυριαρχούν σε εφαρμογές όπου η χρήση ελέγχου είναι απαραίτητη. Εμφανίζονται είτε ως αυτόνομα συστήματα, είτε ως μέρος κατανεμημένων συστημάτων ελέγχου. Η επιτυχία των PID ελεγκτών έγκειται στο γεγονός ότι συχνά αποτελούν το βασικό δομικό στοιχείο για πιο περίπλοκα συστήματα αυτοματισμού που βρίσκουν εφαρμογή, για παράδειγμα, στην παραγωγή ενέργειας, στις μεταφορές, στην βιομηχανία, σε βιολογικές και ιατρικές εφαρμογές. Παρόλα τα πλεονεκτήματα που παρουσιάζουν οι PID ελεγκτές, πρέπει να σημειωθεί πως δεν διέπονται από μια γενική μεθοδολογία και στηρίζονται σε εμπειρικούς κανόνες.

4.2 Αρχή Λειτουργίας

Η σχέση εισόδου/εξόδου για έναν ιδανικό PID ελεγκτή με ανάδραση περιγράφεται από την μαθηματική σχέση που ακολουθεί [16]:

$$u(t) = K_p e + K_i \int_0^t e(\tau) d\tau + K_d \frac{d_e}{d_t} = K_p \left(e + \frac{1}{T_i} \int_0^t e(\tau) d\tau + T_d \frac{d_e}{d_t} \right) \quad (4.1)$$

όπου:

- u το σήμα ελέγχου
- e το σφάλμα παρακολούθησης
- K_p το αναλογικό κέρδος

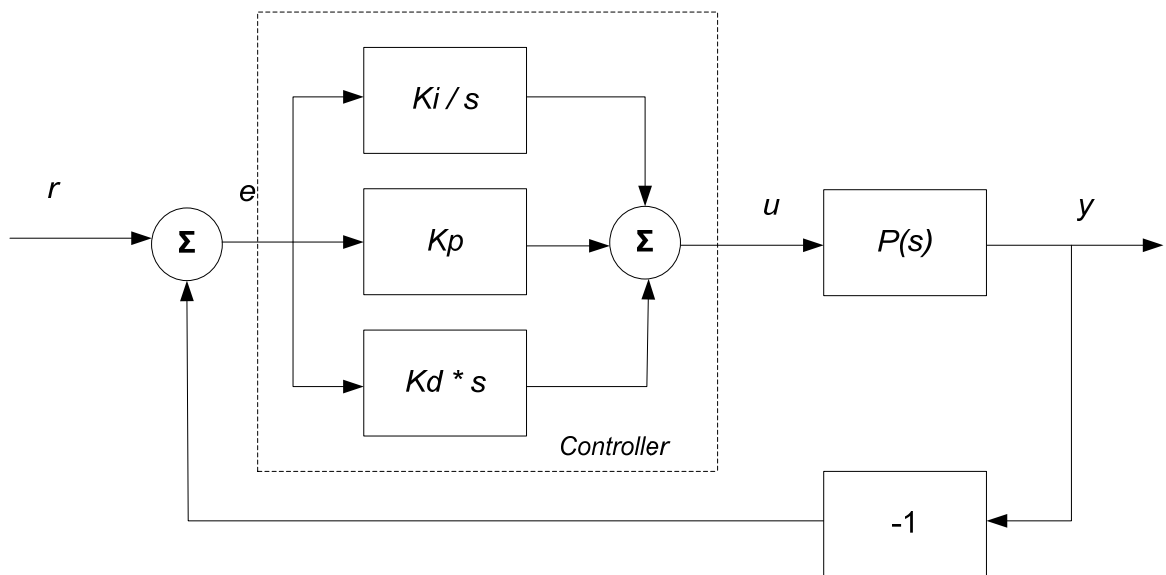
K_i το ολοκληρωτικό κέρδος

K_d το διαφορικό κέρδος

T_i χρόνος ολοκλήρωσης

T_d ο χρόνος διαφορίσης

Το σφάλμα παρακολούθησης προκύπτει από την διαφορά ανάμεσα στην τιμή της επιθυμητής εισόδου (r) και σε εκείνη της πραγματικής εξόδου (y). Η επιθυμητή τιμή εισόδου αναφέρεται στην βιβλιογραφία και ως set-point. Το σήμα ελέγχου u προκύπτει από το άθροισμα τριών παραμέτρων: του αναλογικού όρου (P), του ολοκληρωτικού όρου (I), και του διαφορικού όρου (D), που συνδέονται αντίστοιχα με το παρελθόν, το παρόν και το μέλλον. Όλα τα παραπάνω συνδέονται και παρουσιάζονται διαγραμματικά στο Σχ. 4.1.



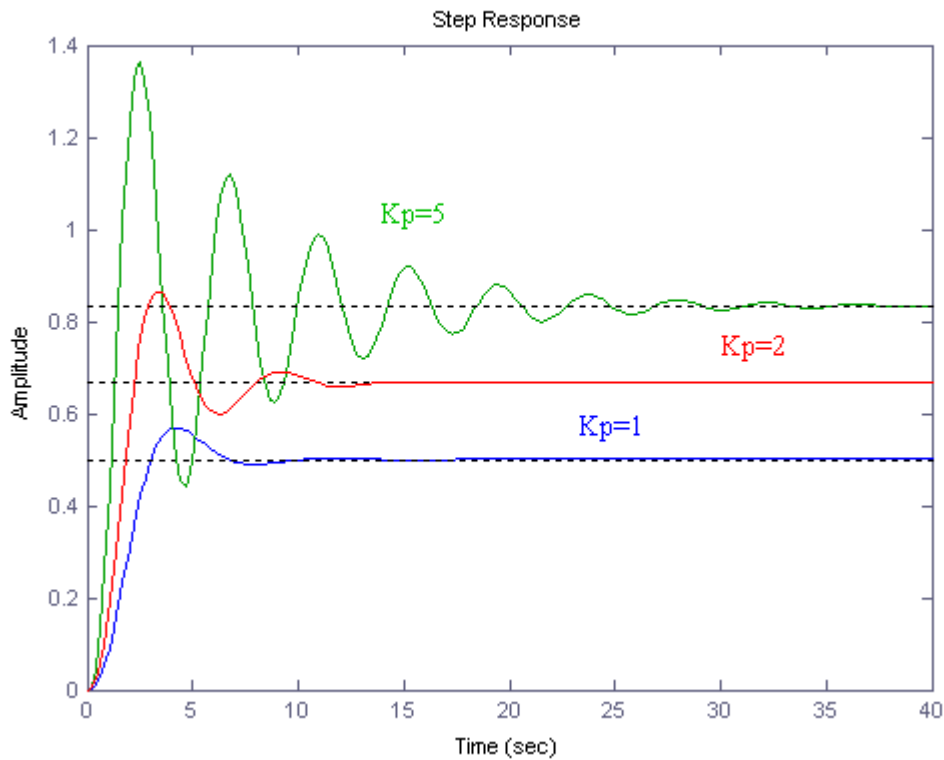
Σχήμα 4.1: Σχηματικό διάγραμμα κλειστού συστήματος με ιδανικό PID ελεγκτή.

4.2.1 Αναλογικός Όρος

Η επίδραση του αναλογικού όρου (P-term) στις αλλαγές της τιμής εξόδου είναι ανάλογη του εκάστοτε λάθους. Προκύπτει από το γινόμενο του αναλογικού κέρδους K_p με το σφάλμα e :

$$P = K_p e(t) \quad (4.2)$$

Η παρουσία της παραμέτρου K_p οδηγεί στην μείωση του χρόνου ανύψωσης καθώς και στην ελάττωση, αλλά ποτέ στην εξάλειψη, του μόνιμου σφάλματος. Με την αύξηση του κέρδους το σφάλμα μειώνεται, όμως για πολύ υψηλές τιμές του αναλογικού κέρδους K_p το σύστημα μπορεί να γίνει ασταθές. Στο Σχ. 4.2 παρουσιάζεται η επίδραση του αναλογικού ελεγκτή σε μια διεργασία με συνάρτηση μεταφοράς $P(s) = 1/(s+1)^3$, για διάφορες τιμές της παραμέτρου K_p . Γίνεται ξεκάθαρο στο διάγραμμα πως με την αύξηση του K_p το σφάλμα μειώνεται, όμως αυξάνεται η κυμάτωση.



Σχήμα 4.2: Απόκριση συστήματος κλειστού βρόγχου υπό την επίδραση του αναλογικού ελεγκτή για $K_p = 1, 2, 5$. Η διεργασία έχει συνάρτηση μεταφοράς $P(s) = 1/(s+1)^3$.

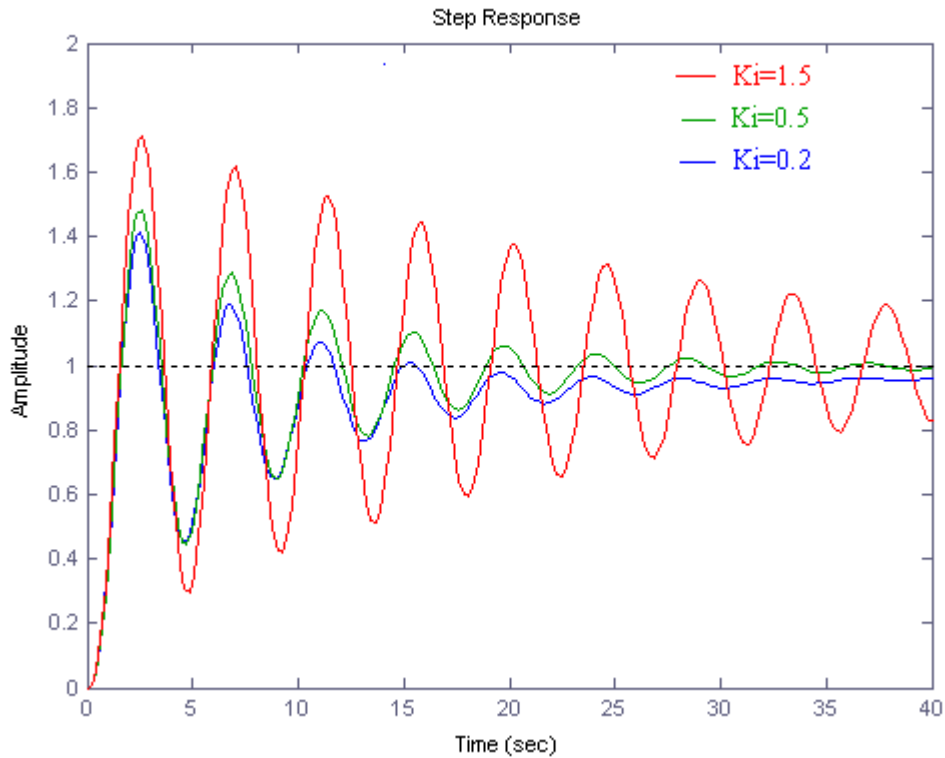
4.2.2 Ολοκληρωτικός Όρος

Η συμβολή του ολοκληρωτικού όρου (I-term) [17] είναι ανάλογη τόσο με το μέγεθος του σφάλματος, όσο και με τη διάρκεια του. Αθροίζοντας όλα τα λάθη κατά τη διάρκεια του χρόνου προκύπτει ο αντισταθμιστικός παράγοντας που θα έπρεπε να έχει διορθωθεί στο παρελθόν. Το άθροισμα των σφαλμάτων πολλαπλασιάζεται με το ολοκληρωτικό κέρδος και προκύπτει ο ολοκληρωτικός όρος, το μέγεθος της συμβολής του οποίου εξαρτάται από την τιμή του κέρδους K_i .

$$I = K_i \int_0^t e(\tau) d\tau \quad (4.3)$$

Ο ολοκληρωτικός όρος εξαλείφει το μόνιμο σφάλμα αλλά χειροτερεύει την μεταβατική απόκριση του συστήματος, δηλαδή προκύπτει αύξηση του αριθμού των ταλαντώσεων μέχρι την τελική ισορροπία του συστήματος. Στο Σχ. 4.3 έχει προστεθεί στον ήδη υπάρχον

αναλογικό ελεγκτή, ο ολοκληρωτικός ελεγκτής. Παρατηρείται η επίδραση του για διάφορες τιμές του κέρδους K_i .



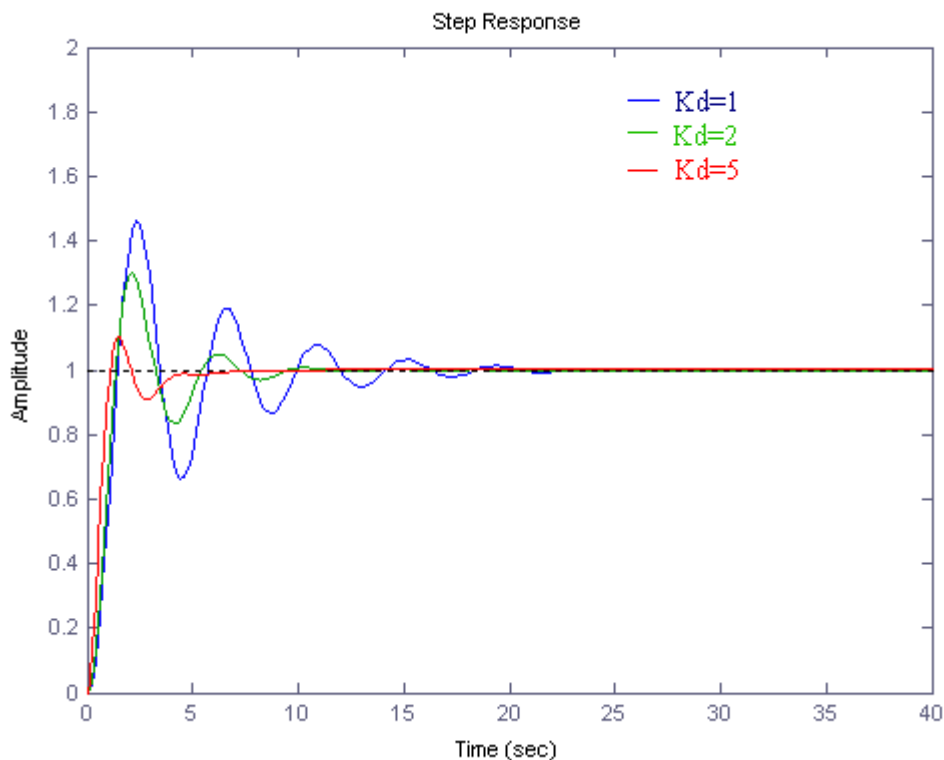
Σχήμα 4.3: Απόκριση συστήματος κλειστού βρόγχου υπό την επίδραση PI ελεγκτή για $K_p = 5$ και $K_i = 0.2, 0.5, 1.5$. Η διεργασία έχει συνάρτηση μεταφοράς $P(s) = 1/(s+1)^3$.

4.2.3 Διαφορικός Όρος

Η συνεισφορά του διαφορικού ελέγχου [17] έγκειται στην πρόβλεψη των μελλοντικών τιμών του σφάλματος. Το σφάλμα διαφορίζεται και πολλαπλασιάζεται με το διαφορικό κέρδος K_d , οι τιμές του οποίου καθορίζουν τη συνολική συμβολή του ελεγκτή.

$$D = K_d \frac{d_e}{d_t} \quad (4.4)$$

Ο διαφορικός έλεγχος έχει ως αποτέλεσμα την αύξηση της σταθερότητας του συστήματος, μειώνοντας την υπερύψωση και βελτιώνοντας την μεταβατική απόκριση. Στο Σχ. 4.4 φαίνεται η απόκριση του συστήματος μετά την προσθήκη και του διαφορικού ελεγκτή για διάφορες τιμές του κέρδους K_d .



Σχήμα 4.4: Απόκριση συστήματος κλειστού βρόγχου υπό την επίδραση PID ελεγκτή για $K_p=5$, $K_i=1.5$ και $K_d=1,2,5$. Η διεργασία έχει συνάρτηση μεταφορά $P(s)=1/(s+1)^3$.

Τα αποτελέσματα της επίδρασης καθεμιάς από τις παραμέτρους K_p , K_i , K_d σε ένα σύστημα κλειστού βρόγχου, συνοψίζονται στο παρακάτω πίνακα.

Πίνακας 4.1: Επίδραση K παραμέτρων σε σύστημα κλειστού βρόγχου.

Αντίδραση Ελεγκτή	Χρόνος Ανύψωσης	Υπερύψωση	Χρόνος Αποκατάστασης	Μόνιμο Σφάλμα
K_p	Μείωση	Αύξηση	Μικρή αλλαγή	Μείωση
K_i	Μείωση	Αύξηση	Αύξηση	Εξάλειψη
K_d	Μικρή αλλαγή	Μείωση	Μείωση	Μικρή αλλαγή

Πρέπει να σημειωθεί πως αυτοί οι συσχετισμοί δεν μπορούν να θεωρηθούν ακριβείς αφού οι τιμές των K παραμέτρων αλληλεξαρτώνται. Στην πραγματικότητα η αλλαγή μίας από τις παραμέτρους μπορεί να αλλάξει την επίδραση και των άλλων παραμέτρων. Για αυτόν το λόγο ο παραπάνω πίνακας είναι καλό να χρησιμοποιείται απλά ως σημείο αναφοράς για τον προσδιορισμό των παραμέτρων K_p , K_i και K_d .

4.3 Υπολογισμός Παραμέτρων

Ένα από τα βασικότερα θέματα που πρέπει να επιλυθεί κατά τον σχεδιασμό ενός PID ελεγκτή, είναι η επιλογή κατάλληλων τιμών για τις K παραμέτρους (K_p , K_i , K_d), ώστε να επιτευχθεί το επιθυμητό αποτέλεσμα. Η επιλογή των κερδών πρέπει να είναι τέτοια ώστε η απόκριση του συστήματος να παρουσιάζει ανοχή στις διαταραχές και ταυτόχρονα να εξαλείφεται το μόνιμο σφάλμα. Παρά το γεγονός ότι στην πραγματικότητα δεν είναι δυνατόν να ικανοποιηθούν όλες οι παραπάνω απαιτήσεις, έχουν γίνει πολλές προσπάθειες προς αυτή την κατεύθυνση και έχουν αναπτυχθεί διάφοροι μέθοδοι για τον υπολογισμό των K παραμέτρων. Κάποιες από αυτές είναι: Ziegler-Nichols, Cohen and Coon, Ho-Hang-Cao [18]. Σε αυτή την ενότητα παρουσιάζονται κάποιες από τις παραπάνω μεθόδους.

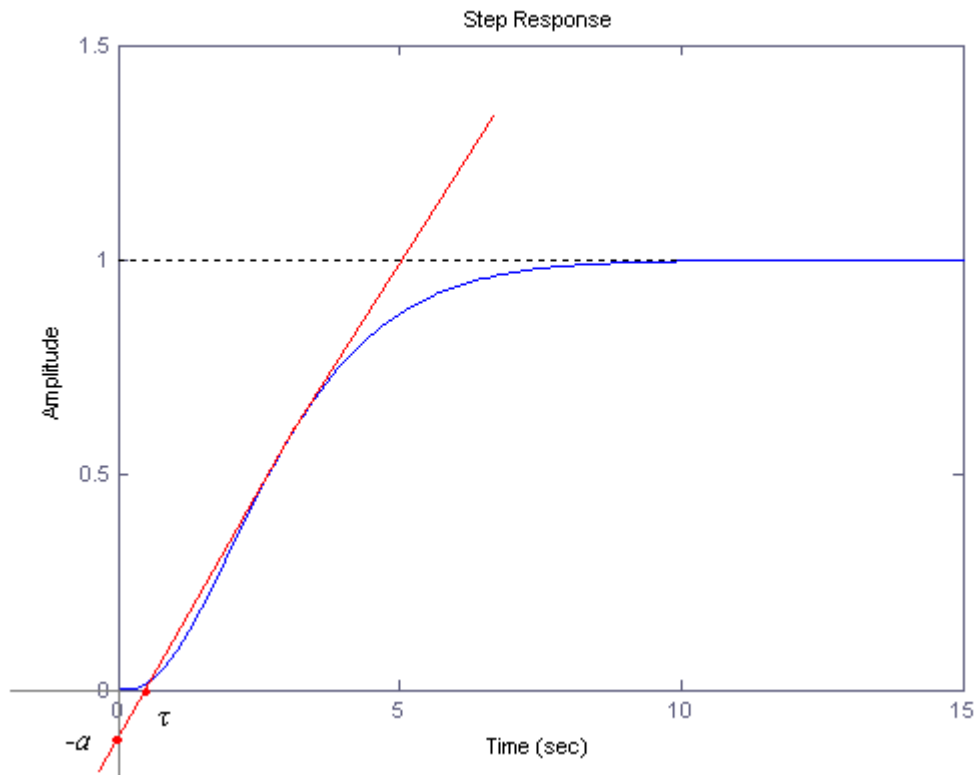
4.3.1 Μέθοδος Ziegler-Nichols

Οι Ziegler και Nichols (ZN) το 1940 ανέπτυξαν δύο μεθόδους για τον υπολογισμό των κερδών του PID ελεγκτή, στηριζόμενοι σε απλά χαρακτηριστικά της διεργασίας στο πεδίο του χρόνου και της συχνότητας. Η μέθοδος αυτή γνώρισε και συνεχίζει να γνωρίζει ιδιαίτερη απήχηση λόγω της απλότητας που παρουσιάζει κατά την εξαγωγή των παραμέτρων. Πρέπει να σημειωθεί πως η μέθοδος αυτή δεν έχει εξίσου καλά αποτελέσματα σε όλες τις εφαρμογές. Ο λόγος που συμβαίνει αυτό είναι η ελάχιστη πληροφορία που χρησιμοποιείται για κάθε διεργασία.

4.3.1.1 Μέθοδος Βηματικής Απόκρισης

Η πρώτη μέθοδος που προτάθηκε από τους Ziegler και Nichols βασίζεται σε πληροφορία που εξάγεται από τη βηματική απόκριση ανοικτού κυκλώματος. Η απόκριση του συστήματος χαρακτηρίζεται από δύο παραμέτρους, την a και την τ , όπως φαίνεται στο Σχ. 4.5. Αρχικά διαγράφεται η εφαπτομένη από το σημείο της καμπύλης όπου η πρώτη παράγωγος λαμβάνει την μέγιστη τιμή της. Τα σημεία τομής της εφαπτομένης με τους άξονες αντιστοιχούν στις σταθερές a και τ . Οι παράμετροι του PID ελεγκτή υπολογίζονται με βάση τον πίνακα 4.2 [16].

<i>Πίνακας 4.2: Κανόνες Ziegler-Nichols για τη μέθοδο βηματικής απόκρισης.</i>			
Τύπος Ελεγκτή	K_p	T_i	T_d
P	$1/a$		
PI	$0.9/a$	3τ	
PID	$1.2/a$	2τ	0.5τ



Σχήμα 4.5: Μέθοδος βηματικής απόκρισης.

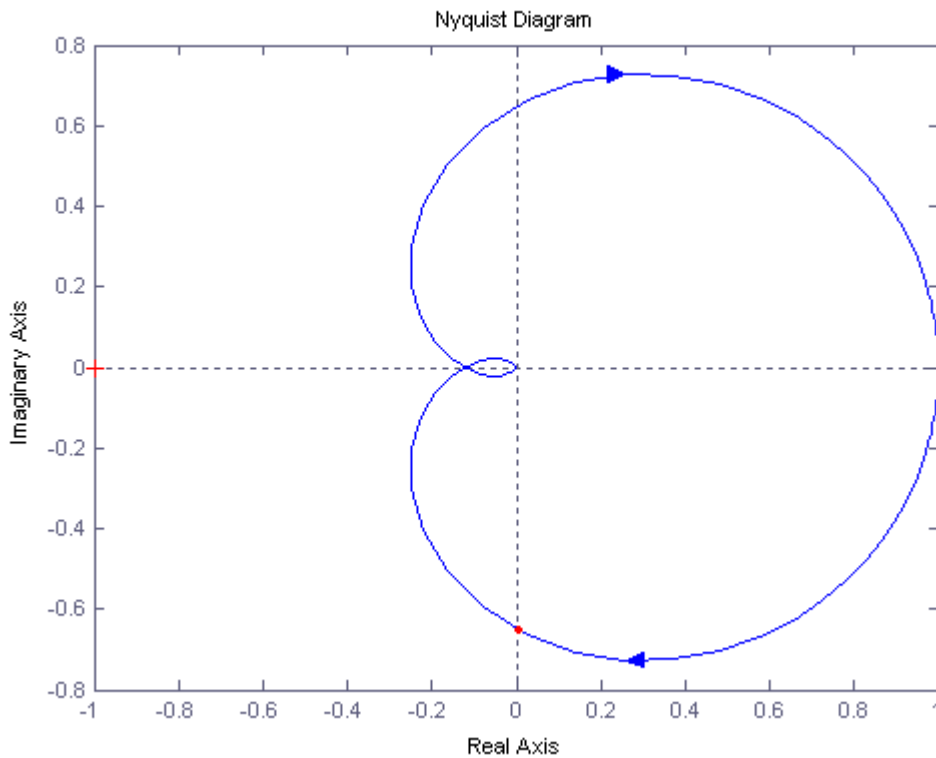
4.3.1.2 Μέθοδος Απόκρισης Συχνότητας

Η δεύτερη μέθοδος που αναπτύχθηκε από τους Ziegler και Nichols βασίζεται σε ένα και μοναδικό σημείο του διαγράμματος Nyquist της συνάρτησης μεταφοράς $P(s)$ της διεργασίας, Σχ. 4.6. Πρόκειται για το σημείο τομής του διαγράμματος Nyquist με τον αρνητικό πραγματικό άξονα, το οποίο και χαρακτηρίζεται από δύο παραμέτρους, την συχνότητα ω_{180} και το κέρδος σε αυτή τη συχνότητα, $K_{180} = |P(i\omega_{180})|$. Οι παράμετροι που χρησιμοποιούνται για τον υπολογισμό των K παραμέτρων ενός PID ελεγκτή, όπως φαίνεται στον πίνακα 4.3, είναι οι: $K_u = 1/K_{180}$ και $T_u = 2\pi/\omega_{180}$. Οι τιμές των K_u και T_u μπορούν να υπολογιστούν με την εξής διαδικασία: συνδέεται ένας αναλογικός ελεγκτής με τη διεργασία, το ολοκληρωτικό και το διαφορικό κέρδος τίθενται στο μηδέν, ενώ η τιμή του αναλογικού κέρδους αυξάνεται μέχρι το σύστημα να αρχίσει να ταλαντεύεται. Με την τιμή που έχει

εκείνη τη στιγμή το αναλογικό κέρδος ισούται η παράμετρος K_u . Ενώ η παράμετρος T_u ισούται με την περίοδο ταλάντωσης [16].

Πίνακας 4.3 : Κανόνες Ziegler-Nichols για τη μέθοδο απόκρισης συχνότητας.

Τύπος Ελεγκτή	K_p	T_i	T_d
P	$0.5K_u$		
PI	$0.4K_u$	$0.8 T_u$	
PID	$0.3K_u$	$0.5 T_u$	$0.125 T_u$



Σχήμα 4.6: Διάγραμμα Nyquist για τη μέθοδο απόκρισης συχνότητας.

4.3.2 Μέθοδος Cohen-Coon

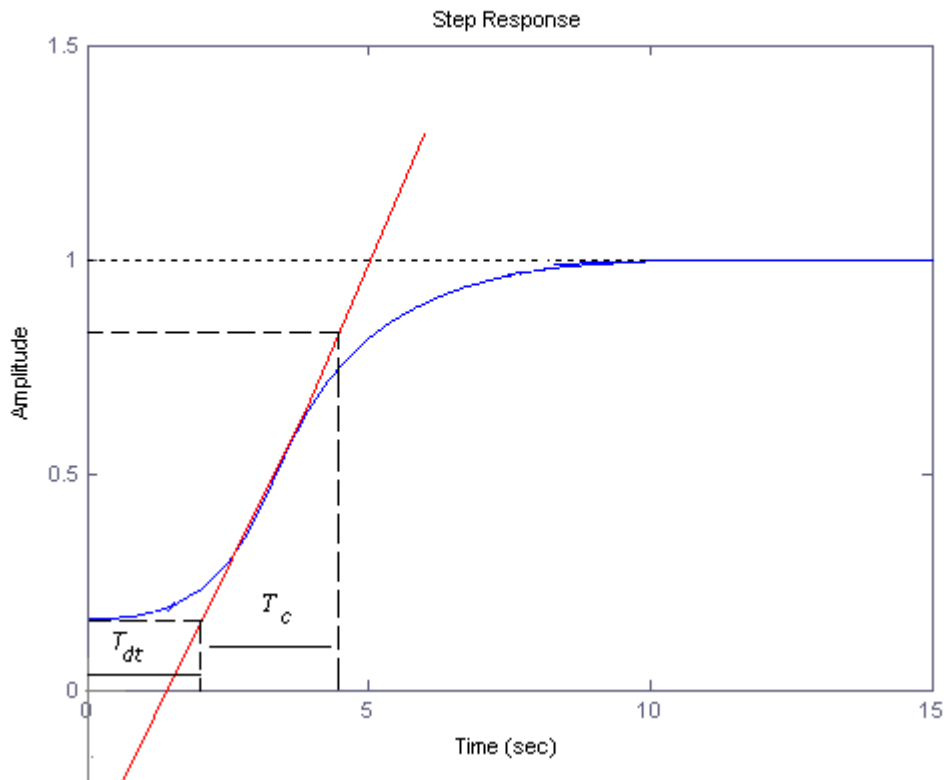
Πρόκειται για μια διαδομένη μέθοδο υπολογισμού των K παραμέτρων του PID ελεγκτή στο χώρο της βιομηχανίας. Βελτιώνει τον χρόνο αποκατάστασης σε συστήματα ανοικτού βρόγχου με μεγάλο dead-time, σε σχέση με τη μέθοδο των ΖΝ. Χρησιμοποιείται σε συστήματα με μεγάλη καθυστέρηση και καταφέρνει να μειώσει τον χρόνο απόκρισης συστήματος κλειστού βρόγχου. Πρόκειται για μια εμπειρική μέθοδο υπολογισμού με αποτέλεσμα οι τιμές των παραμέτρων να μην είναι ακριβείς για διαφορετικά συστήματα. Μειονέκτημα επίσης της μεθόδου αποτελεί η αδυναμία εφαρμογής της σε ασταθή κυκλώματα κλειστού βρόγχου. Η διαδικασία που ακολουθείται για τον υπολογισμό των K παραμέτρων είναι η εξής:

- Σχεδιασμός εφαπτομένης στο σημείο όπου η τιμή της πρώτης παραγώγου της καμπύλης παίρνει την μέγιστη τιμή της.
- Εκτίμηση dead-time, T_{dt}
- Εκτίμηση της σταθεράς χρόνου, T_c
- Υπολογισμός της παραμέτρου μ σύμφωνα με τον τύπο, $\mu = \frac{T_{dt}}{T_c}$
- Υπολογισμός των PID παραμέτρων σύμφωνα με τον πίνακα 4.4

Η εκτίμηση των T_{dt} και T_c γίνονται μέσω της καμπύλης του συστήματος ανοικτού βρόγχου, όπως φαίνεται στο Σχ. 4.7.

Πίνακας 4.4: Κανόνες *Cohen-Coon* για τον υπολογισμό των *PID* παραμέτρων.

Τύπος Ελεγκτή	K_p	K_i	K_d
P	$\frac{1 + \frac{\mu}{3}}{T_{dt}}$		
PI	$\frac{1 + \frac{\mu}{11}}{T_{dt}}$	$3.33T_{dt} \left[\frac{1 + \frac{\mu}{11}}{1 + \frac{11\mu}{5}} \right]$	
PID	$\frac{1.35 \left(1 + \frac{\mu}{3} \right)}{T_{dt}}$	$2.5T_{dt} \left[\frac{1 + \frac{\mu}{5}}{1 + \frac{3\mu}{5}} \right]$	$\frac{0.37T_{dt}}{1 + \frac{\mu}{5}}$

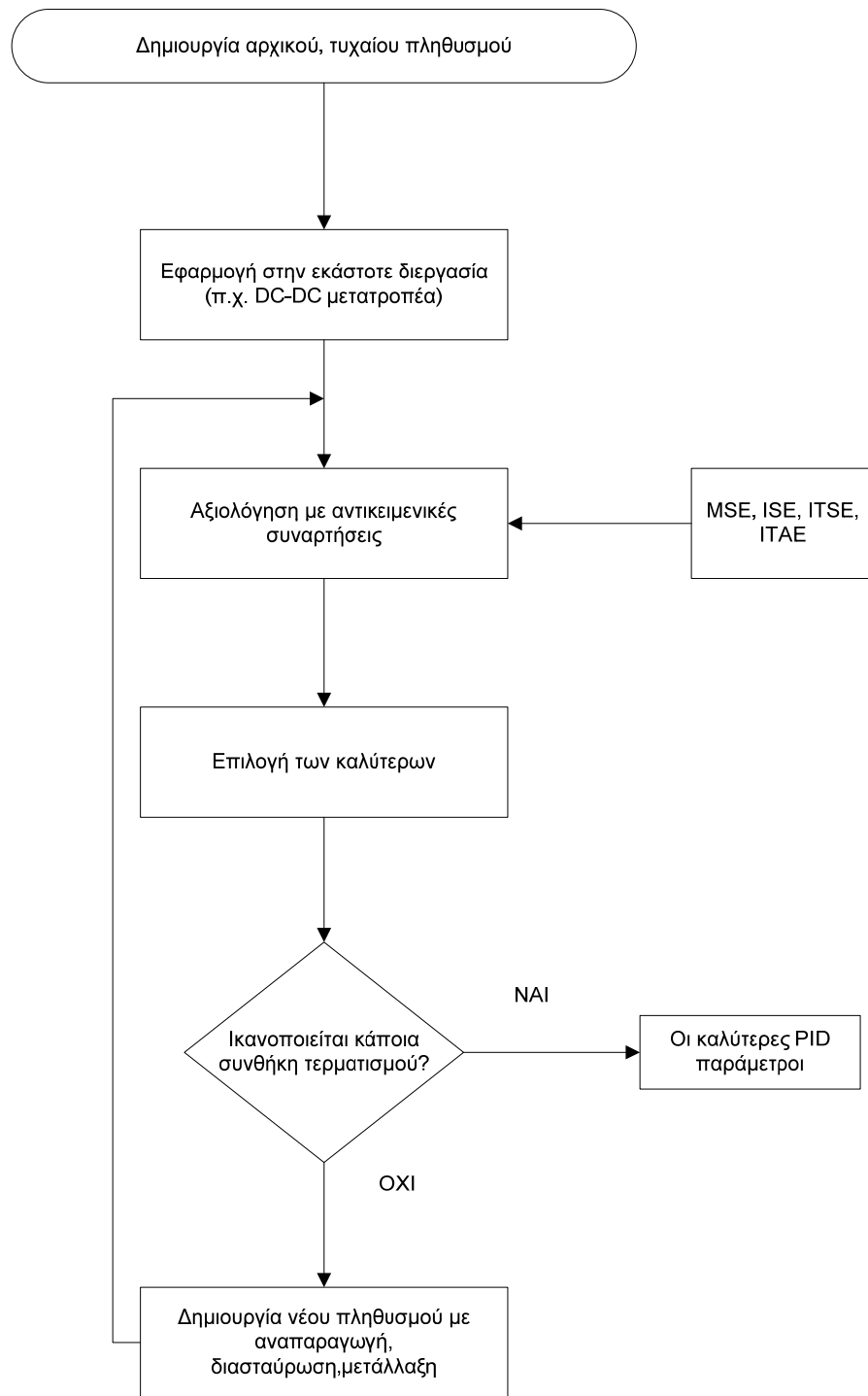


Σχήμα 4.7: Μέθοδος *Cohen-Coon*.

4.3.3 Γενετικός Αλγόριθμος

Όπως έχει ήδη αναφερθεί σε αυτή την ενότητα, η πιο διαδεδομένη μέθοδος για την εξαγωγή των PID παραμέτρων είναι αυτή των ΖΝ. Πρόκειται για μια εμπειρική μέθοδο που ανταποκρίνεται αρκετά καλά στις απαιτήσεις ενός συστήματος αλλά απαιτεί την εκ των προτέρων γνώση του μοντέλου, ενώ δεν μπορεί να παρακολουθεί τυχόν αλλαγές στην δυναμική του συστήματος. Για αυτούς τους λόγους απαιτούνται μέθοδοι που να βελτιώνουν τις δυνατότητες ενός PID ελεγκτή. Μια τέτοια μέθοδος είναι ο γενετικός αλγόριθμος (GA) [19]. Πρόκειται για μέθοδο τυχαίας αναζήτησης που λόγω της υψηλής αποδοτικότητάς της χρησιμοποιείται πλέον για την επίλυση διαφόρων προβλημάτων, όπως: πλανόδιου πωλητή, διαμερισμό χαρτών, σχεδιασμό φίλτρων κ.α. Σε συνδυασμό με τεχνικές Τεχνητής Νοημοσύνης, όπως Fuzzy Sets και Artificial Neural Networks, σε υβριδικά συστήματα μπορεί να δώσει λύση σε πολλά και περίπλοκα προβλήματα. Το διάγραμμα ροής της εφαρμογής του GA στην αναζήτηση PID παραμέτρων παρουσιάζεται στο Σχ. 4.8.

Οι βασικές αρχές του GA προτάθηκαν για πρώτη φορά από τον Holland. Η τεχνική του βασίζεται στον μηχανισμό της φυσικής επιλογής, το ισχυρότερο ον είναι αυτό που επιβιώνει σε ένα περιβάλλον. Σύμφωνα με τον GA η λύση ενός προβλήματος είναι ένα «άτομο» το οποίο χαρακτηρίζεται από ένα αριθμό παραμέτρων, οι οποίες μπορούν να θεωρηθούν ως γονίδια ενός χρωμοσώματος. Αρχικά παράγεται τυχαία ένας πληθυσμός χρωμοσωμάτων. Κάθε χρωμόσωμα είναι μια υποψήφια λύση του προβλήματος. Στη συνέχεια αξιολογείται η καταλληλότητα κάθε χρωμοσώματος με χρήση της αντικειμενικής συνάρτησης βελτιστοποίησης και επιλέγονται τα χρωμοσώματα που θα συμμετάσχουν στις γενετικές πράξεις. Πάνω σε αυτόν το πληθυσμό εφαρμόζονται οι διαδικασίες της διασταύρωσης και μετάλλαξης, ώστε να δημιουργηθεί ο επόμενος πληθυσμός. Κατά τη διαδικασία της διασταύρωσης επιλέγονται τυχαία κάποια χρωμοσώματα τα οποία ζευγαρώνουν με τυχαίο τρόπο. Κάθε ζευγάρι γονέων παράγει δύο απόγονους που παίρνουν τη θέση των γονέων στον πληθυσμό. Τέλος κατά την μετάλλαξη τροποποιούνται, αφαιρούνται ή προστίθενται τυχαία κάποια από τα χρωμοσώματα. Η διαδικασία επαναλαμβάνεται μέχρι ο πληθυσμός να συγκλίνει σύμφωνα με κάποια συνθήκη τερματισμού.



Σχήμα 4.8: Διάγραμμα ροής GA για επιλογή PID παραμέτρων.

4.4 Εφαρμογή

Κατά την εφαρμογή ενός PID ελεγκτή υπάρχουν κάποια πρακτικά θέματα τα οποία πρέπει να ληφθούν υπόψη γιατί επηρεάζουν την απόδοση και τη σωστή λειτουργία του ελεγκτή.

4.4.1 Προβλήματα υπό την παρουσία του Διαφορικού Όρου

Από τη συνάρτηση μεταφοράς του διαφορικού όρου $G(s) = s$, όπου για μεγάλες τιμές του s τείνει στο άπειρο, είναι φανερό πως ο διαφορικός όρος είναι ευαίσθητος στο θόρυβο. Για υψηλές συχνότητες σήματος παρουσιάζει υψηλά κέρδη, με αποτέλεσμα ο θόρυβος υψηλής συχνότητας να προκαλεί έντονη διακύμανση στο σήμα ελέγχου [20]. Έστω το σήμα:

$$y(t) = \sin t + n(t) = \sin t + a_n \sin \omega_n t$$

Η παράγωγός του είναι:

$$\frac{dy(t)}{dt} = \cos t + a_n \omega_n \cos \omega_n t$$

Ο λόγος σήματος προς θόρυβο (SNR) για το κανονικό σήμα είναι $1/a_n$, ενώ για την παράγωγό του είναι ω/a_n , το οποίο μπορεί να γίνει αυθαίρετα μεγάλο για υψηλές τιμές της συχνότητας ω . Για να περιοριστούν οι υψηλές συχνότητες χρησιμοποιείται βαθυπερατό φίλτρο και πλέον ο όρος $K_d s$ αντικαθίσταται από τον όρο $K_d s / (1 + sT_f)$. Η περίοδος T_f επιλέγεται με τέτοιο τρόπο ώστε να φιλτράρεται κατάλληλα ο θόρυβος χωρίς να αλλοιώνεται η δυναμική του PID ελεγκτή. Εναλλακτικά μπορεί από το φίλτρο να περάσει ολόκληρο το σήμα ελέγχου και όχι μόνο ο διαφορικός όρος. Σε αυτή την περίπτωση η συνάρτηση μεταφοράς του PID ελεγκτή δίνεται από τη σχέση (4.5).

$$C(s) = K_p \left(1 + \frac{1}{T_i} + sT_d \right) \frac{1}{1 + sT_f + (sT_f)^2 / 2} \quad (4.5)$$

4.4.2 Set-Point Weighting

Στο Σχ. 4.4 είναι φανερό πως το σήμα ελέγχου παρουσιάζει κάποιες αρχικές αιχμές μέχρι να σταθεροποιηθεί στην μόνιμη κατάσταση. Αυτό είναι αποτέλεσμα της διαφορίσης του set-point. Δύο είναι οι τρόποι αποφυγής του συγκεκριμένου προβλήματος, είτε το set-point να περάσει από φίλτρο πριν χρησιμοποιηθεί από τον ελεγκτή, είτε να τροποποιηθεί ο ελεγκτής ώστε ο ολοκληρωτικός και διαφορικός όρος να δρουν κατευθείαν στην έξοδο του συστήματος [16].

4.4.3 Windup

Υπάρχουν κάποια μη γραμμικά φαινόμενα τα οποία πρέπει να λαμβάνονται υπόψη κατά την εφαρμογή ενός PID ελεγκτή. Όλες οι διεργασίες έχουν κάποια όρια τα οποία όταν ξεπεραστούν παύουν να λειτουργούν σωστά. Για παράδειγμα, κάθε κινητό έχει ένα όριο ταχύτητας, μία βαλβίδα δεν μπορεί να υπάρξει σε κατάσταση πέρα από το «τελείως ανοικτή» ή «τελείως κλειστή». Σε ένα σύστημα ελέγχου είναι πιθανόν το σήμα ελέγχου να πάρει τέτοιες τιμές, ώστε να παραβιάζονται τα όρια της διεργασίας. Αυτό έχει ως αποτέλεσμα να «σπάσει» η ανάδραση και το σύστημα να λειτουργεί ως σύστημα ανοικτού βρόγχου. Τόσο ο ολοκληρωτικός όρος, όσο και το σήμα ελέγχου θα συνεχίσουν να μεγαλώνουν αφού θα συνεχίσει να υπάρχει σφάλμα. Αυτό συνεπάγεται τον κορεσμό του σήματος ελέγχου και την παραμονή του σε αυτή την κατάσταση για μεγάλο χρονικό διάστημα έως ότου το σφάλμα αποκτήσει αντίθετο πρόσημο και το σύστημα επανέλθει στην αρχική του κατάσταση.

5 FPGA

Πολλοί τύποι προγραμματιστικής λογικής είναι σήμερα διαθέσιμοι, από μικρές συσκευές που υλοποιούν απλές λογικές εξισώσεις, μέχρι FPGAs, τα οποία μπορούν να κρατήσουν το πυρήνα ενός ολόκληρου επεξεργαστή (συν τα περιφερειακά). Οι πρώτες προγραμματιζόμενες συσκευές για εμπορική χρήση ήταν τα PALs, τα οποία παρουσιάστηκαν από την Monolithic Memories Inc (MMI). Ακολούθησαν τα PLDs, PLAs, GALs, GPLDs, για να φτάσουν σήμερα στα FPGAs με εκατομμύρια πύλες.

5.1 Γενική Δομή FPGAs

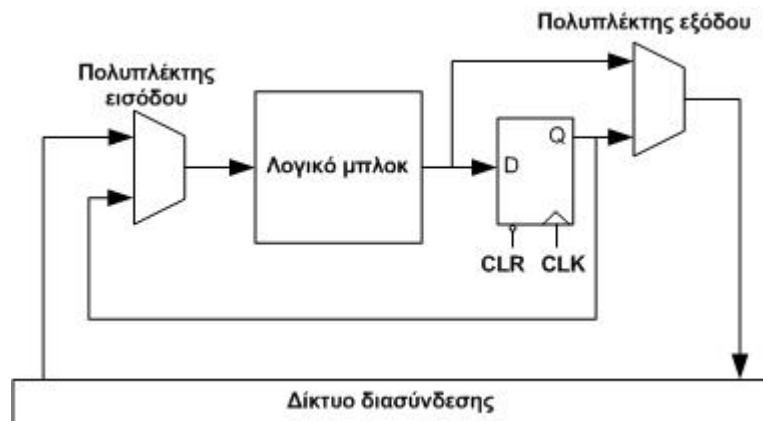
Τα FPGAs (Field Programmable Gate Array) είναι προγραμματιζόμενες συσκευές που παρέχουν την μεγαλύτερη πυκνότητα ολοκλήρωσης. Αποτελούνται από μια συστάδα κυκλωματικών στοιχείων (logic blocks) με αρκετές δυνατότητες διασύνδεσης και διαμορφώνονται με προγραμματισμό που γίνεται στο πεδίο της εφαρμογής τους. Όλα τα FPGAs αποτελούνται από τρία βασικά χαρακτηριστικά:

- Τη βασική δομική μονάδα
- Το δίκτυο εισόδου/εξόδου
- Την προγραμματιζόμενη διασύνδεση

Για να γίνει η υλοποίηση ενός κυκλώματος σε ένα FPGA πρέπει να προγραμματιστεί η κάθε βασική δομική μονάδα του τελευταίου ώστε να υλοποιεί ένα μικρό μέρος της λογικής, ενώ ταυτόχρονα καθένα από τα μπλοκ εισόδου/εξόδου να λειτουργεί είτε ως μπλοκ εισόδου είτε ως εξόδου, ανάλογα με τις απαιτήσεις του κυκλώματος. Η προγραμματιζόμενη διασύνδεση ρυθμίζεται για να υλοποιεί τις απαραίτητες συνδέσεις τόσο ανάμεσα στις βασικές δομικές μονάδες, όσο και ανάμεσα στις βασικές δομικές μονάδες και τα μπλοκ εισόδου/εξόδου. Η λειτουργική πολυπλοκότητα των βασικών λογικών μονάδων μπορεί να ποικίλει από μια απλή λογική συνάρτηση (Bool) 2-εισόδων, έως πολύπλοκες, πολλαπλών bit αριθμητικές λειτουργίες. Η επιλογή της κοκκοποίησης της βασικής δομικής μονάδας εξαρτάται από το

πεδίο της κάθε εφαρμογής. Η χρησιμοποιούμενη τεχνολογία προγραμματισμού καθορίζει μονοσήμαντα τη μέθοδο αποθήκευσης της πληροφορίας προγραμματισμού. Η επιλογή της συγκεκριμένης τεχνολογίας έχει σημαντική επίδραση τόσο στην καταλαμβανόμενη επιφάνεια όσο και στην απόδοση του FPGA. Οι κυριότερες και επικρατέστερες τεχνολογίες είναι η Στατική Μνήμη Τυχαίας Προσπέλασης (SRAM), η αντί-ασφάλεια (anti-fuse), και η μη-πτητική (non-volatile). Η επιλογή μιας εκ των προαναφερθέντων τεχνολογιών, βασίζεται κυρίως στο υπολογιστικό περιβάλλον στο οποίο πρόκειται να χρησιμοποιηθεί το FPGA.

Στο Σχ. 5.1 φαίνεται το γενικό μοντέλο ενός FPGA. Η βασική δομική μονάδα συνήθως αποτελείται από πίνακες αναζήτησης (LUTs), μεταφορείς λογικής, F/F, και προγραμματιζόμενους πολυπλέκτες. Ο ρόλος των πολυπλεκτών είναι τόσο η δημιουργία των μονοπατιών δεδομένων στο εσωτερικό της λογικής μονάδας, όσο και η παροχή συνδέσεων μεταξύ των βασικών δομικών μονάδων με το δίκτυο διασύνδεσης.



Σχήμα 5.1: Μοντέλο ενός τυπικού FPGA.

Λόγω όλων των επιπλέον flip-flops, η αρχιτεκτονική ενός FPGA είναι πολύ πιο ευέλικτη από αυτήν ενός CPLD. Αυτό κάνει τα FPGAs καλύτερα σε pipelined εφαρμογές. Χρησιμοποιούνται ακόμα συχνά στην θέση ενός επεξεργαστή και λογισμικού, ειδικά όταν η επεξεργασία των δεδομένων, που εισέρχονται, πρέπει να επιτευχθεί σε υψηλό ρυθμό. Επιπλέον, τα FPGAs είναι πυκνότερα (περισσότερες πύλες σε δοσμένη περιοχή) και κοστίζουν λιγότερο από τα CPLDs, οπότε είναι η πρώτη επιλογή για μεγαλύτερα λογικά σχέδια.

5.2 Αρχιτεκτονικές Διασύνδεσης

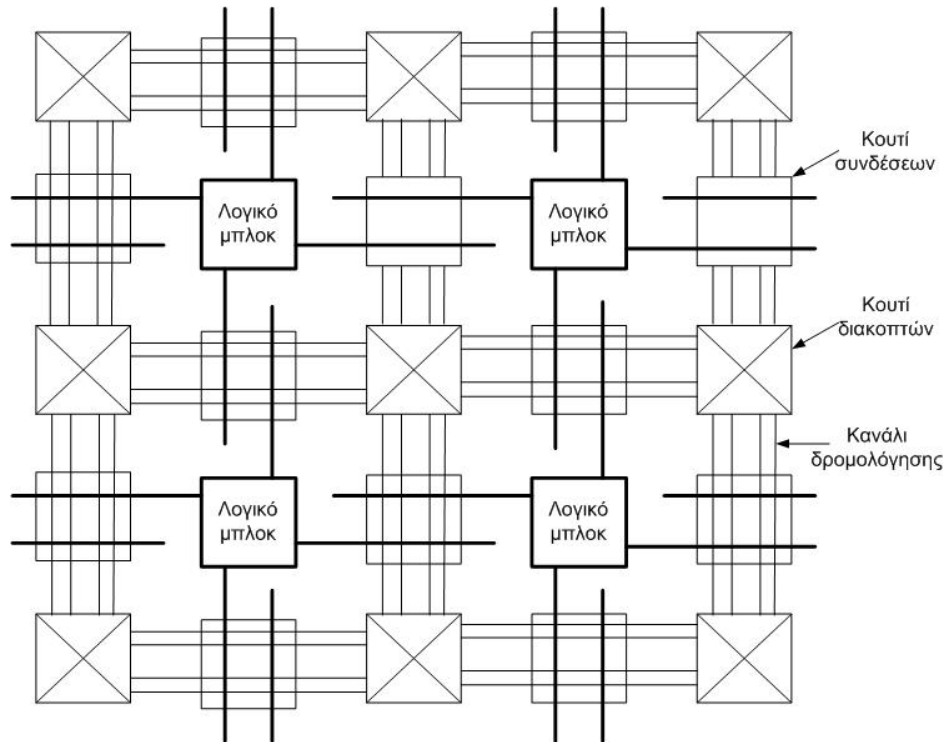
Οι αρχιτεκτονικές διασύνδεσης πραγματοποιούνται χρησιμοποιώντας διακόπτες (switch) οι οποίοι προγραμματίζονται για να υλοποιούν τις συνδέσεις. Η μέθοδος με την οποία δημιουργούνται οι συνδέσεις ανάμεσα στις βασικές δομικές μονάδες έχει σημαντική επίπτωση στα χαρακτηριστικά της αρχιτεκτονικής του FPGA. Με βάση την τοποθέτηση των βασικών δομικών μονάδων και των πόρων διασύνδεσης, οι διατάξεις προγραμματιζόμενων πυλών είναι δυνατό να διακριθούν στις ακόλουθες κατηγορίες [21]:

- Αρχιτεκτονική νησίδας
- Αρχιτεκτονική βασιζόμενη σε γραμμές
- Θάλασσα από πύλες
- Ιεραρχική Αρχιτεκτονική
- Διάταξη μίας διάστασης
- Συστήματα πολλαπλών FPGA

Η πλειονότητα των εμπορικών FPGA είναι δυνατό να ομαδοποιηθεί σε τρεις από τις προαναφερθέντες κατηγορίες ανάλογα με την αρχιτεκτονική που ακολουθούν για τη διασύνδεση. Έτσι τα FPGA από την Xilinx, τη Lucent και τη Vantis βασίζονται στην αρχιτεκτονική νησίδας, τα FPGA από την Actel διαθέτουν αρχιτεκτονική βασιζόμενη σε γραμμές, ενώ αυτά της Altera είναι ιεραρχικά.

5.2.1 Αρχιτεκτονική νησίδας

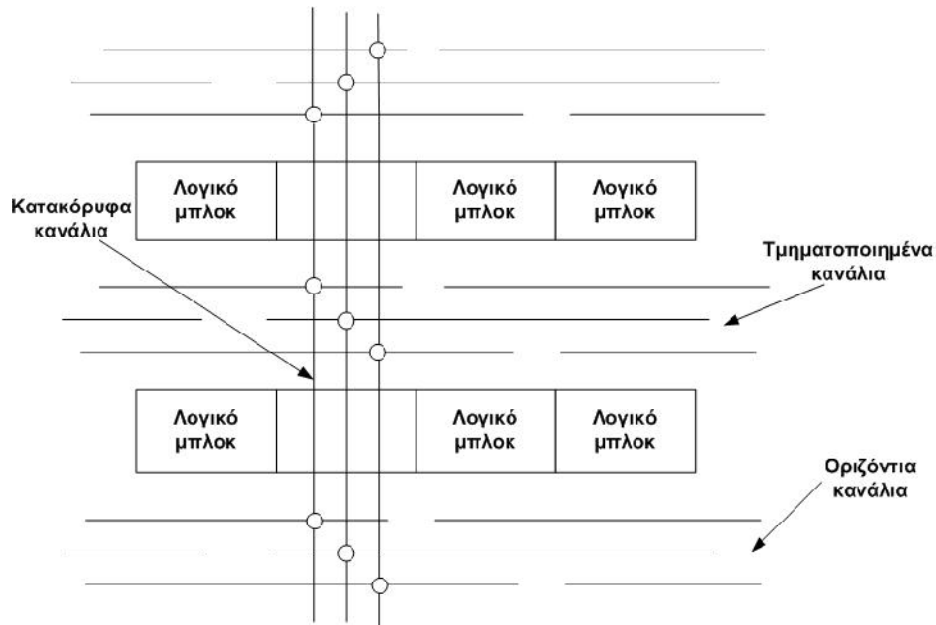
Η αρχιτεκτονική νησίδας αποτελείται από μια διάταξη προγραμματιζόμενων λογικών μπλοκ με κατακόρυφα και οριζόντια προγραμματιζόμενα κανάλια διασύνδεσης. Η βασική ιδέα της συγκεκριμένης αρχιτεκτονικής παρουσιάζεται στο Σχ. 5.2. Ο αριθμός των τμημάτων καλωδίων που υπάρχουν στο εσωτερικό του καναλιού προσδιορίζει τους διαθέσιμους πόρους για τη διασύνδεση. Οι ακροδέκτες του λογικού μπλοκ έχουν πρόσβαση στο κανάλι διασύνδεσης διαμέσου του κουτιού διασύνδεσης (connection box).



Σχήμα 5.2: Αρχιτεκτονική νησίδας.

5.2.2 Αρχιτεκτονική Βασιζόμενη σε Γραμμές

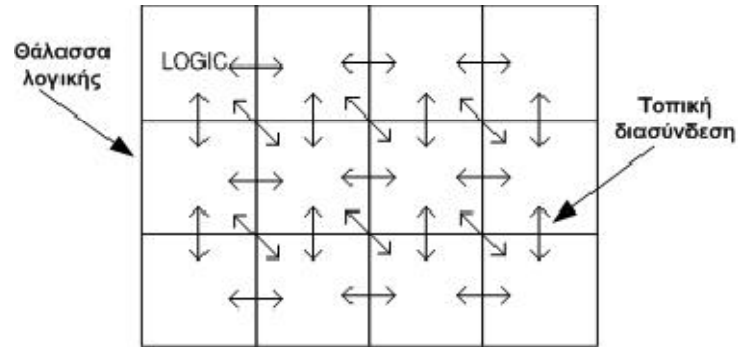
Στη συγκεκριμένη αρχιτεκτονική τα λογικά μπλοκ είναι τοποθετημένα σε γραμμές και διαχωρίζονται μεταξύ τους με οριζόντια κανάλια διασύνδεσης. Η αρχιτεκτονική αυτή παρουσιάζεται στο Σχ. 5.3. Τα μονοπάτια διασύνδεσης στο εσωτερικό του καναλιού χωρίζονται σε ένα ή περισσότερα τμήματα, το μήκος των οποίων μπορεί να κυμαίνεται από το πλάτος ενός ζεύγους βασικών δομικών στοιχείων έως και ολόκληρο το μήκος του καναλιού. Τα τμήματα αυτά ενδέχεται να ενώνονται στα άκρα τους χρησιμοποιώντας προγραμματιζόμενους διακόπτες για τη δημιουργία γραμμών μεγαλύτερου μήκους. Πέρα από αυτά τα κανάλια, υπάρχουν και εκείνα που βρίσκονται τοποθετημένα κάθετα ανάμεσα στα λογικά μπλοκ, τα οποία παρέχουν τις απαραίτητες συνδέσεις ανάμεσα στα οριζόντια κανάλια και τα κατακόρυφα τμήματα της διασύνδεσης. Το μήκος των συγκεκριμένων τμημάτων στα κανάλια προσδιορίζονται από τον συμβιβασμό που γίνεται ανάμεσα στον αριθμό των μονοπατιών, την αντίσταση που εμφανίζουν οι διακόπτες διασύνδεσης και τη χωρητικότητα των συγκεκριμένων τμημάτων.



Σχήμα 5.3: Αρχιτεκτονική βασισμένη σε γραμμές.

5.2.3 Θάλασσα από Πύλες

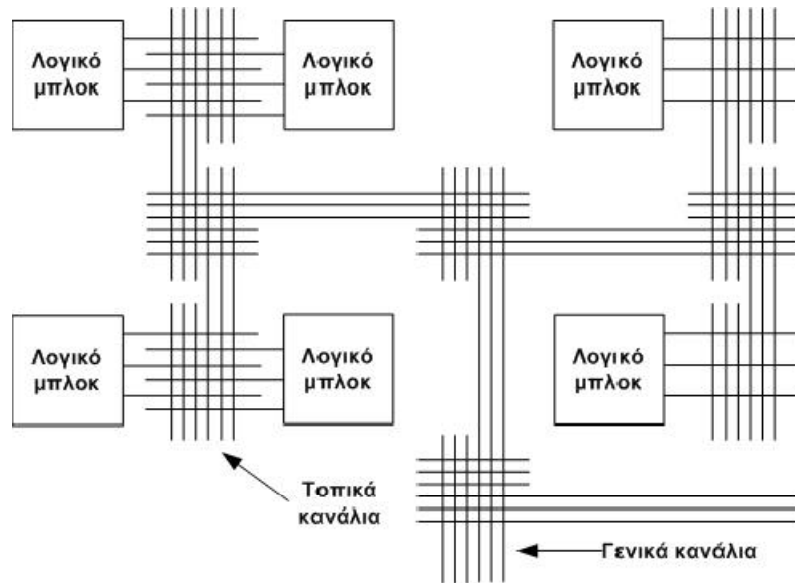
Η αρχιτεκτονική που βασίζεται στη θάλασσα από πύλες, όπως φαίνεται στο Σχ. 5.4, ανόμοια με τις προηγούμενες, δεν αποτελείται από μια διάταξη λογικών μπλοκ ενσωματωμένων σε μια γενική δομή διασύνδεσης. Αντίθετα συνίσταται από λογικά μπλοκ τα οποία καλύπτουν όλη την επιφάνεια του FPGA. Οι απαιτούμενες συνδέσεις πραγματοποιούνται χρησιμοποιώντας δεσμευμένες συνδέσεις του τύπου γείτονα-προς-γείτονα, οι οποίες συνήθως είναι γρηγορότερες συγκρινόμενες με τους γενικούς πόρους διασύνδεσης. Τις περισσότερες φορές, η συγκεκριμένη αρχιτεκτονική χρησιμοποιείται σε συνδυασμό με γενικού τύπου συνδέσεις για την επίτευξη διασυνδέσεων μεταξύ λογικών μπλοκ που βρίσκονται σε μεγαλύτερη απόσταση.



Σχήμα 5.4: Θάλασσα από πύλες.

5.2.4 Ιεραρχική Αρχιτεκτονική

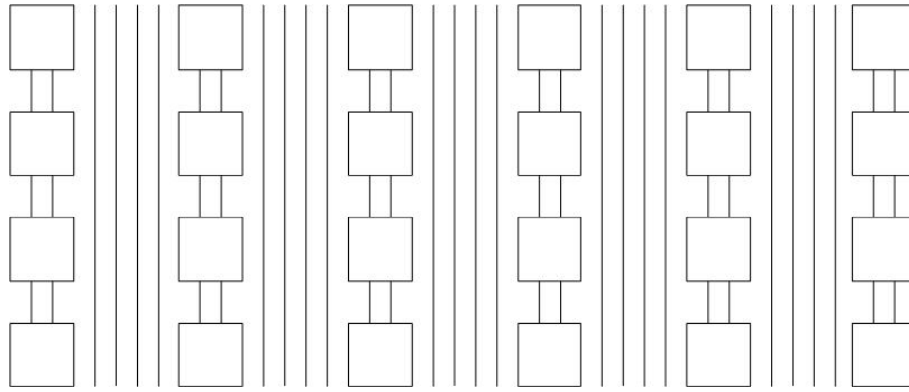
Οι πλειονότητα των λογικών σχεδιασμών παρουσιάζουν κάποια τοπικότητα στις συνδέσεις, η οποία υποδηλώνει μια ιεραρχία στην τοποθέτηση και διασύνδεση των συνδέσεων ανάμεσα στα λογικά μπλοκ. Η ιεραρχική αρχιτεκτονική στα FPGA προσπαθεί να εκμεταλλευτεί το συγκεκριμένο χαρακτηριστικό, ώστε οι διατάξεις των προγραμματιζόμενων πυλών να εμφανίζουν μικρότερες καθυστερήσεις διασύνδεσης και μια πιο προβλέψιμη συμπεριφορά χρονισμού. Η συγκεκριμένη αρχιτεκτονική δημιουργείται συνδέοντας λογικά μπλοκ σε συστοιχίες, οι οποίες στη συνέχεια συνδέονται αναδρομικά για τη δημιουργία μιας ιεραρχικής δομής. Ο αριθμός των διακοπών διασύνδεσης από τους οποίους πρέπει να περάσει το σήμα καθορίζει τη ταχύτητα του δικτύου. Η ιεραρχική αρχιτεκτονική μειώνει το πλήθος των διακοπών που απαιτούνται για τη δημιουργία μεγάλων μονοπατιών διασύνδεσης, με αποτέλεσμα η διάταξη να λειτουργεί σε μεγαλύτερη ταχύτητα. Μια τέτοια αρχιτεκτονική φαίνεται στο Σχ. 5.5.



Σχήμα 5.5: Ιεραρχική αρχιτεκτονική.

5.2.5 Διάταξη μιας Διάστασης

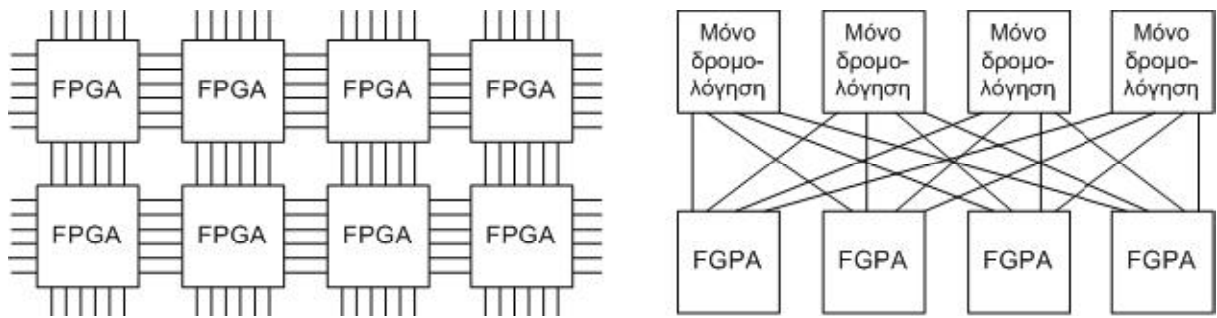
Τα περισσότερα από τα εμπορικά FPGA είναι διατάξεις δύο διαστάσεων. Αυτό επιτρέπει μεγαλύτερη ευελιξία καθώς κάθε σήμα μπορεί να διασυνδεθεί ευκολότερα από ένα κοντινό ελεύθερο μονοπάτι. Εντούτοις, παρέχοντας αυτού του επιπέδου τη διασύνδεση, η ευελιξία απαιτεί μεγάλο μέρος της περιοχής διασύνδεσης. Επιπρόσθετα, κάνει πολυπλοκότερο το λογισμικό για την τοποθέτηση και τη διασύνδεση των λογικών μπλοκ, καθώς αυτό θα πρέπει να λαμβάνει υπ' όψιν ένα πολύ μεγάλο αριθμό πιθανοτήτων σεναρίων. Μια λύση στο συγκεκριμένο πρόβλημα θα ήταν η χρησιμοποίηση μιας μονοδιάστατης αρχιτεκτονικής, όπως αυτής που παρουσιάζεται στο Σχ. 5.6. Εδώ η τοποθέτηση των λογικών μπλοκ περιορίζεται κατά μήκος του ενός άξονα. Με ένα πιο περιορισμένο σετ επιλογών, η τοποθέτηση των λογικών μπλοκ μπορεί να γίνει πολύ γρηγορότερα. Η διαδικασία της διασύνδεσης απλοποιείται επίσης διότι και αυτή γίνεται κατά κύριο λόγο κατά μήκος μιας μόνο διάστασης, ενώ η δεύτερη διάσταση χρησιμοποιείται γενικά για υπολογισμούς που απαιτούν λειτουργία ολίσθησης. Ένα μειονέκτημα της αρχιτεκτονικής μιας-διάστασης είναι το ενδεχόμενο να μην υπάρχουν αρκετοί πόροι για τη διασύνδεση σε μια συγκεκριμένη περιοχή του FPGA στην οποία έγινε τοποθέτηση του κυκλώματος.



Σχήμα 5.6: Μονοδιάστατη διάταξη.

5.2.6 Σύστημα Πολλαπλών FPGA

Στα επαναδιαμορφώσιμα συστήματα τα οποία αποτελούνται από περισσότερα του ενός FPGA υπάρχει η ανάγκη για ικανοποιητική σύνδεση ανάμεσα στα διάφορα FPGA, καθώς επίσης και με την εξωτερική μνήμη και το κανάλι δεδομένων του συστήματος. Η χρησιμότητα των συγκεκριμένων συστημάτων είναι για να παρέχουν τη δυνατότητα σε κυκλώματα μεγάλου μεγέθους να διαμεριστούν σε περισσότερα του ενός FPGA. Ένα πλήθος διαφορετικών αρχιτεκτονικών διασύνδεσης έχουν μελετηθεί, μεταξύ των οποίων περιλαμβάνονται αυτές του πλέγματος και της διασταύρωσης, όπως παρουσιάζονται στο Σχ. 5.7. Μία διάταξη πλέγματος συνδέει τους κοντινότερους γείτονες σε ένα σύστημα από FPGA. Με τον τρόπο αυτό, επιτρέπεται η ικανοποιητική επικοινωνία ανάμεσα στις γειτονικές διατάξεις προγραμματιζόμενων πυλών. Το μειονέκτημα που παρουσιάζει η συγκεκριμένη αρχιτεκτονική είναι πως ορισμένα σήματα ίσως χρειαστεί να διέλθουν διαμέσου ενός FPGA απλά και μόνο για να δημιουργηθεί η σύνδεση ανάμεσα σε μη-γειτονικά FPGA. Εάν και κάτι τέτοιο είναι εφικτό, εντούτοις χρησιμοποιεί πολύτιμους πόρους εισόδου/εξόδου στο FPGA οι οποίοι υλοποιούν τη γεφύρωση της διασύνδεσης. Από την άλλη πλευρά, η αρχιτεκτονική της διασταύρωσης προσπαθεί να αποτρέψει το συγκεκριμένο πρόβλημα χρησιμοποιώντας ειδικά ολοκληρωμένα κυκλώματα μόνο για τους σκοπούς της διασύνδεσης, έτσι ώστε να επιτρέπεται η σύνδεση απ' ευθείας καθενός FPGA με οποιοδήποτε άλλο. Στην περίπτωση αυτή, η καθυστέρηση που εμφανίζεται στο εσωτερικό του ολοκληρωμένου κυκλώματος είναι πιο ομοιόμορφη δεδομένου ότι το κάθε σήμα διανύει ακριβώς την ίδια απόσταση για να μεταβεί από το ένα FPGA σε οποιοδήποτε άλλο, ανεξάρτητα από το που αυτά βρίσκονται τοποθετημένα. Παρόλα αυτά, η διασύνδεση που βασίζεται στην αρχιτεκτονική διασταύρωσης δεν είναι εύκολο να υλοποιηθεί καθώς αυξάνει σημαντικά ο αριθμός των FPGA.



Σχήμα 5.7: Διάταξη πλέγματος (αριστερά) και πλέγματος (δεξιά) για σύστημα πολλαπλών FPGA.

5.3 Spartan-3 FPGA

Στα πλαίσια αυτής της διπλωματικής εργασίας χρησιμοποιήθηκε το αναπτυξιακό περιβάλλον του Spartan-3 FPGA [22]. Σε αυτή την ενότητα δίνονται τα κύρια χαρακτηριστικά του.

5.3.1 Εισαγωγή

Η οικογένεια Spartan™-3 των οκτώ μελών προσφέρει πυκνότητες που κυμαίνονται από πενήντα χιλιάδες έως πέντε εκατομμύρια πύλες συστημάτων. Η οικογένεια Spartan-3 σε σχέση με την προηγούμενη οικογένεια Spartan-II παρουσιάζει αυξημένο αριθμό λογικών πόρων, μεγαλύτερη χωρητικότητα εσωτερικής RAM, αύξηση του συνολικού αριθμού των I/Os και υψηλό επίπεδο απόδοσης. Οι προαναφερθείσες αυξήσεις αντλούνται από την κατάσταση προόδου της τεχνολογίας Virtex™-II. Αυτές οι αυξήσεις στο Spartan-3, αποδίδουν περισσότερη λειτουργικότητα και εύρος ζώνης ανά δολάριο από ότι ήταν προηγουμένως δυνατό, καθορίζοντας έτσι νέα πρότυπα στην βιομηχανία προγραμματιζόμενης λογικής. Λόγω του εξαιρετικά χαμηλότερου κόστους τους, τα Spartan-3 FPGAs καλύπτουν ένα ευρύ φάσμα ηλεκτρονικών εφαρμογών.

Η οικογένεια Spartan-3 αποτελεί μια εναλλακτική λύση έναντι των προγραμματισμένων ASICs, αφού αποφεύγουν το υψηλό αρχικό κόστος, τους μεγάλους κύκλους ανάπτυξης, και την έμφυτη ακαμψία των συμβατικών ASICs.

5.3.2 Γενικά Χαρακτηριστικά

Στο Σχ. 5.8 φαίνεται η κάρτα Spartan-3 Starter Kit, της Xilinx, τα γενικά χαρακτηριστικά της οποίας παρατίθενται παρακάτω:

- Το FPGA Spartan-3 της Xilinx, που περιέχεται στο πακέτο XC3S1000-FT256 έχει 4.320 logic cells
 - Δώδεκα μπλοκ RAM των 18K-bit
 - Δώδεκα hardware πολλαπλασιαστές 18x18
 - Τέσσερις Digital Clock Managers (DCM), για την παραγωγή ρολογιού συχνότητας διαφορετικής την ονομαστική της κάρτας
 - Μέχρι 173 σήματα εισόδου εξόδου, καθορισμένα από τον χρήστη
 - Μία μνήμη PROM, στο ολοκληρωμένο Xilinx XCF02S Platform Flash, μεγέθους 2Mbit. Δυνατότητα αποθήκευσης 1Mbit αμετάβλητων δεδομένων ή κώδικα εφαρμογής, μετά την σύνθεση στο FPGA
 - Ακροδέκτες ελέγχου που επιτρέπουν την ανάγνωση δεδομένων PROM ή της διαμόρφωσης του FPGA από άλλες πηγές
- 1M-byte γρήγορης ασύγχρονης SRAM (βρίσκεται στην κάτω πλευρά της κάρτας)
 - Δύο ολοκληρωμένα SRAM 256Kx16
 - Μεταβλητή αρχιτεκτονική μνήμης
 - Μία ενιαία SRAM 256Kx32, ιδανική για τον MicroBlaze
 - Δύο ανεξάρτητες SRAM 256Kx16
 - Ξεχωριστό σήμα επιλογής για κάθε συσκευή μνήμης
 - Ξεχωριστό σήμα επίτρεψης / εγκυρότητας για κάθε byte
- Μία θύρα εξόδου VGA 3-bit και 8 χρωμάτων
- Σειριακή θύρα RS-232, 9 ακροδεκτών
 - Σύνδεση μέσω θηλυκού connector (DB9)
 - Ξεχωριστό οδηγό για την σειριακή θύρα
 - Εφεδρικούς δοκιμαστικούς δίαυλους λήψης και εκπομπής RS-232
- Μία θύρα τύπου PS/2 για ποντίκι / πληκτρολόγιο
- Μία πλήρως ελεγχόμενη οθόνη τεσσάρων χαρακτήρων των επτά τμημάτων
- Οκτώ διακόπτες
- Οκτώ ξεχωριστές εξόδους σε LED

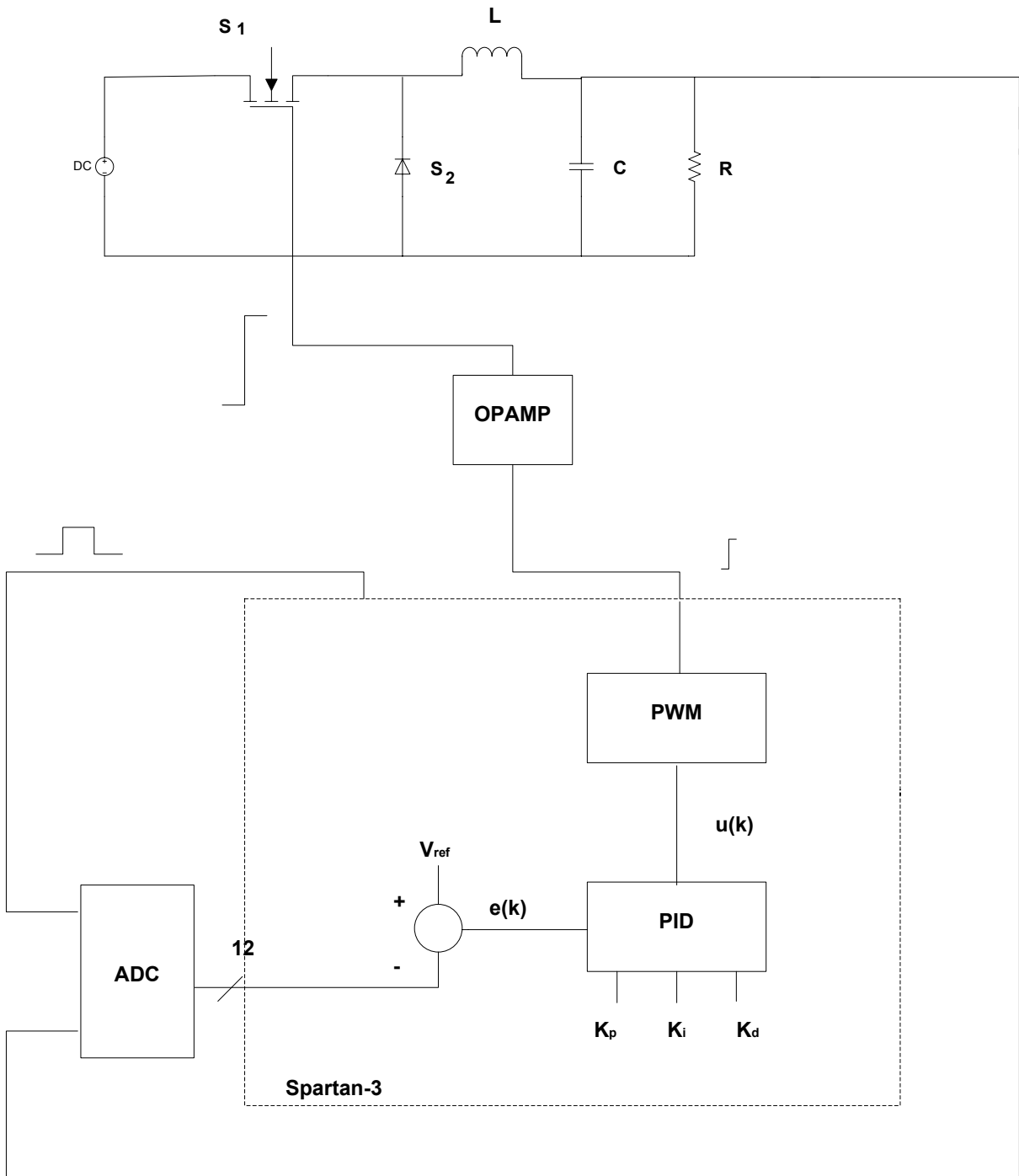
- Τέσσερις πιεστικούς διακόπτες
- Ταλαντωτή 50 MHz (στην κάτω όψη της κάρτας)
- Υποδοχή για βοηθητικό ταλαντωτή
- Επιλογή τύπου διαμόρφωσης του FPGA μέσω ακροδεκτών ελέγχου
- Πιεστικό διακόπτη για την επαναφορά του FPGA στην ονομαστική του λειτουργία
- LED που υποδεικνύει ότι το FPGA έχει προγραμματιστεί επιτυχώς
- Τρεις θύρες επέκτασης των 40 ακροδεκτών που επιτρέπει την σύνδεση με συμβατές κάρτες
- Μία θύρα JTAG συμβατή με το καλώδιο προγραμματισμού / εκσφαλμάτωσης που συνδέεται στην σειριακή θύρα ενός προσωπικού υπολογιστή
- Μία θύρα JTAG προγραμματισμού / εκσφαλμάτωσης συμβατή με τα Xilinx Parallel Cable IV και MultiPRO Desktop Tool
- Υποδοχή τροφοδοσίας 5V
- LED ένδειξης λειτουργίας
- Ρυθμιστές τάσης για 3.3V, 2.5V και 1.2V



Σχήμα 5.8: Xilinx Spartan-3 Starter Kit board.

6 Υλοποίηση του συστήματος

Το σύστημα που υλοποιήθηκε στα πλαίσια αυτής της διπλωματικής εργασίας παρουσιάζεται στο Σχ. 6.1. Πρόκειται για έναν buck DC-DC μετατροπέα ο οποίος παράγει οποιαδήποτε τάση επιθυμεί ο εκάστοτε χρήστης, αρκεί αυτή να είναι μικρότερη ή ίση από την τάση τροφοδοσίας. Ο ρυθμός αγωγής του μετατροπέα καθορίζεται από ένα DPWM σε συνδυασμό με έναν PID ελεγκτή, ο οποίος προσπαθεί να εξαλείψει το λάθος στην τάση εξόδου. Τα τελευταία έχουν υλοποιηθεί ψηφιακά σε μία FPGA. Ο τετραγωνικός παλμός που προέρχεται από το ψηφιακό τμήμα χρειάζεται ενίσχυση. Για αυτό το λόγο πριν εισέλθει στην πύλη του τρανζίστορ ενισχύεται από έναν ενισχυτή υψηλής συχνότητας κατάλληλο για τέτοιες εφαρμογές. Η αναλογική έξοδος του μετατροπέα πρέπει να μετατραπεί σε ψηφιακή προκειμένου να εισέλθει στην FPGA ώστε να υπολογιστεί και να περιοριστεί το λάθος που ενδεχομένως υπάρχει στην έξοδο. Αυτό το έργο το αναλαμβάνει ένας ADC με διακριτική ικανότητα 12 bits. Τόσο το αναλογικό όσο και το ψηφιακό μέρος έχουν υλοποιηθεί για δύο συχνότητες λειτουργίας, $f = 1kHz$ και $f = 200kHz$. Στις ενότητες που ακολουθούν περιγράφεται αναλυτικά ο σχεδιασμός και η υλοποίηση κάθε επιμέρους τμήματος του συστήματος.



Σχήμα 6.1: Σχηματικό διάγραμμα του συστήματος που υλοποιήθηκε.

6.1 Υλοποίηση αναλογικού κυκλώματος

Σε αυτή την ενότητα περιγράφονται τα υλικά που χρησιμοποιήθηκαν για το αναλογικό κύκλωμα, ο ενισχυτής και ο ADC που χρησιμοποιήθηκαν καθώς και τα κριτήρια επιλογής τους.

6.1.1 Επιλογή και Περιγραφή Υλικών που Χρησιμοποιήθηκαν

Ο κύριος διακόπτης που χρησιμοποιήθηκε στον buck μετατροπέα είναι το IRF540 MOSFET N-τύπου. Πρόκειται για ένα MOSFET, το οποίο είναι κατάλληλο για χρήση σε υψηλής απόδοσης και συχνότητας isolated DC-DC μετατροπείς. Από τις τιμές τάσεων που εφαρμόζονται στα άκρα ενός MOSFET (πύλη-υποδοχή-πηγή) εξαρτάται η περιοχή λειτουργίας στην οποία βρίσκεται. Διακρίνονται οι εξής περιπτώσεις:

1. Ωμική /Γραμμική Περιοχή λειτουργίας
2. Περιοχή κόρου
3. Περιοχή Αποκοπής

Στην πρώτη περίπτωση το MOSFET λειτουργεί σαν κλειστός διακόπτης με αποτέλεσμα η τάση εξόδου να είναι ίση με αυτήν της τάσης εισόδου ($V_o = V_i$). Για να συμβεί αυτό θα πρέπει να ισχύει η σχέση (6.1).

$$|V_{DS}| < |V_{GS}| - |V_{th}| \quad (6.1)$$

όπου:

V_{DS} η τάση υποδοχής-πηγής

V_{GS} η τάση πύλης-πηγής

V_{th} η τάση κατωφλίου, χαρακτηριστικό της κάθε συσκευής

Για να βρεθεί στην κατάσταση κόρου θα πρέπει να ισχύει η σχέση:

$$|V_{DS}| > |V_{GS}| - |V_{th}| \quad (6.2)$$

Ενώ για να λειτουργεί σαν ανοικτός διακόπτης, θα πρέπει:

$$|V_{GS}| < |V_{th}| \quad (6.3)$$

Στο σύστημα που υλοποιήθηκε σε αυτή την εργασία χρησιμοποιήθηκαν $5.24 V$ ως τάση τροφοδοσίας ($V_i = 5.24 V$). Προκειμένου το τρανζίστορ να λειτουργεί στην γραμμική περιοχή έπρεπε να εξασφαλιστεί πως το σήμα ελέγχου, το οποίο συνδέεται στην πύλη του τρανζίστορ στην περίπτωση του NMOSFET, θα έχει τιμή μεγαλύτερη από το άθροισμα της τάσης εισόδου και της τάσης κατωφλίου. Σύμφωνα με τις προδιαγραφές του IRF540 $V_{th} = 2 - 4 V$, οπότε η τάση στην πύλη πρέπει να είναι τουλάχιστον $9.24 V$. Όσο μεγαλύτερη είναι η τάση στην πύλη, τόσο περισσότερο άγει το MOSFET. Στη συγκεκριμένη σχεδίαση χρησιμοποιήθηκε $V_{GS} = 13 V$.

Κύριο κριτήριο κατά την επιλογή της διόδου αποτέλεσε η ικανοποίηση των απαιτήσεων που περιγράφονται στην παράγραφο 3.2.4 σχετικά με τα χαρακτηριστικά της διόδου. Στη σχεδίαση του μετατροπέα χρησιμοποιήθηκε τελικά η Schottky IN5819 διόδος με χαρακτηριστικά: $I_{F_{av}} = 1 A$ και $V_{RRM} = 40 V$.

Όσον αφορά την επιλογή του πυκνωτή και του πηνίου χρησιμοποιήθηκε η σχέση (6.4) προκειμένου να βρεθεί η χωρητικότητα και η αυτεπαγωγή αντίστοιχα των δύο υλικών [23].

$$LC = \frac{(1/f_{sw})^2 (1-D)}{8 \cdot \Delta V_o} \quad (6.4)$$

όπου:

L η αυτεπαγωγή του πηνίου

C η χωρητικότητα του πυκνωτή

ΔV_o η κυμάτωση της τάσης εξόδου (ripple voltage)

f_{sw} η συχνότητα του switching

V_o η τάση εξόδου

V_i η τάση εισόδου

D η σχετική διάρκεια αγωγής

Δεδομένου ότι κατά την υλοποίηση του μετατροπέα χρησιμοποιήθηκε ηλεκτρολυτικός πυκνωτής χωρητικότητας $C = 3300 \mu F$ από την παραπάνω σχέση και για $\Delta V_o = 1\%$ και $f_{sw} = 1 kHz$ προκύπτει πως η αυτεπαγωγή του πηνίου πρέπει να είναι $L = 9.12576 mH$. Έχοντας καταλήξει στην τιμή της αυτεπαγωγής και έχοντας επιλέξει τον πυρήνα που θα χρησιμοποιηθεί για την κατασκευή του πηνίου, με χρήση της σχέσης (6.5) προκύπτει ο αριθμός των σπειρών του πρέπει να τυλιχθούν στο πηνίο.

$$N = \sqrt{\frac{L}{AL}} \quad (6.5)$$

όπου:

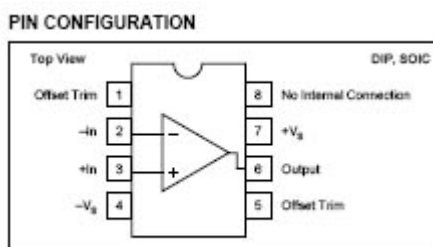
N ο αριθμός των σπειρών του πηνίου

AL χαρακτηριστική τιμή του κάθε πυρήνα

Ο πυρήνας που χρησιμοποιήθηκε ήταν ο TN32/19/13 (3C90), για τον οποίο ισχύει $AL = 2910 \pm 25\% nH$. Από τη σχέση (6.5) προέκυψε πως ο αριθμός των σπειρών του πηνίου πρέπει να είναι $N = 56$. Για τη σχεδίαση του μετατροπέα σε συχνότητα λειτουργίας $f_{sw} = 200 KHz$ χρησιμοποιήθηκε ηλεκτρολυτικός πυκνωτής χωρητικότητας $C = 10 \mu F$, πηνίο αυτεπαγωγής $L = 0.39 \cdot 10^{-4} H$ και πυρήνας TX42/26/13 (3C90) με $AL = 2690 \pm 25\% nH$. Οι σπείρες του πηνίου σε αυτή την περίπτωση υπολογίστηκαν στις τέσσερις. Τέλος, πρέπει να σημειωθεί πως και στις δύο συχνότητες λειτουργίας χρησιμοποιήθηκε φορτίο εξόδου αντίστασης $R = 8.2 \Omega$ και τοποθετήθηκε παράλληλα στον ηλεκτρολυτικό πυκνωτή ένας κεραμικός πυκνωτής μικρής χωρητικότητας προκειμένου να απορροφήσει τυχόν θόρυβο από την DC τάση.

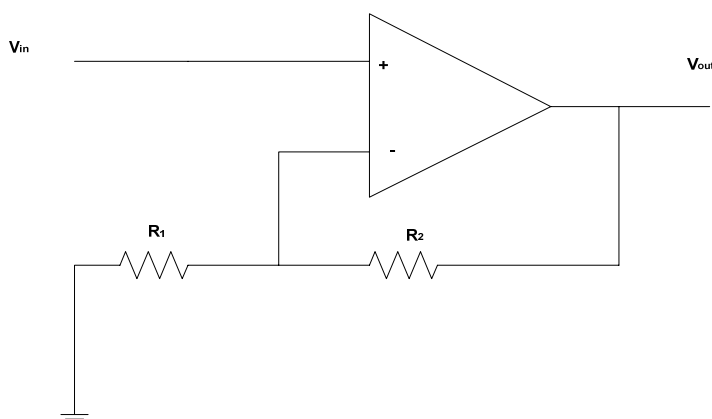
6.1.2 Ενίσχυση

Το εύρος του τετραγωνικού παλμού που ελέγχει το ρυθμό αγωγής του MOSFET και συνδέεται στην πύλη του, υπολογίζεται ψηφιακά στην FPGA του συστήματος. Το αποτέλεσμα του παλμού μετά από κάθε περίοδο προωθείται σε έναν από τους 120 connectors της FPGA και από εκεί θεωρητικά στην πύλη του MOSFET. Στην πραγματικότητα αυτό δεν είναι εφικτό διότι η FPGA δίνει εξόδους των 3.3 V ενώ το MOSFET για να λειτουργήσει στην γραμμική περιοχή, όπως αναφέρθηκε στην παράγραφο 6.1.1, χρειάζεται τουλάχιστον 9 V . Την ενίσχυση του τετραγωνικού παλμού την αναλαμβάνει ο ενισχυτής OPA604. Πρόκειται για έναν ενισχυτή υψηλής συχνότητας του οποίου η διάταξη φαίνεται στο Σχ. 6.2.



Σχήμα 6.2: Ενισχυτής OPA604-Pin configuration.

Ένας μη-αναστρέφων ενισχυτής χρησιμοποιεί δύο αντιστάσεις προκειμένου να ενισχύσει την τάση εισόδου του. Η διάταξη του φαίνεται στο Σχ. 6.3 ενώ η τάση εξόδου του υπολογίζεται από τη σχέση (6.6).



Σχήμα 6.3: Μη-αναστρέφων ενισχυτής.

$$V_{out} = V_{in} \left(1 + \frac{R_2}{R_1} \right) \quad (6.6)$$

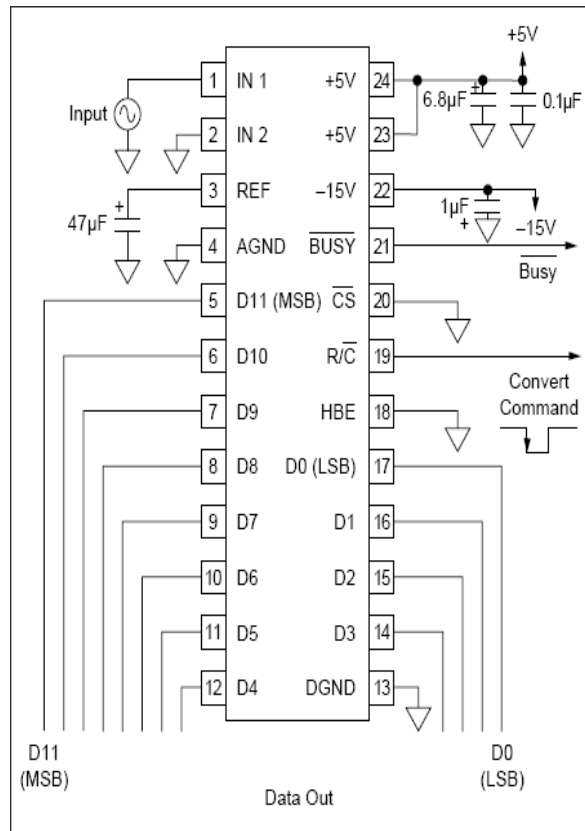
Για να εξασφαλιστεί η ωμική λειτουργία του MOSFET χρησιμοποιήθηκαν αντιστάσεις $R_2 = 4.7 \Omega$ και $R_1 = 1.2 \Omega$ και η τάση των $3.3 V$ ενισχύθηκε σχεδόν κατά τέσσερις φορές.

6.1.3 ADC Μετατροπέας

Η αναλογική έξοδος του buck μετατροπέα πρέπει να διέλθει στην FPGA ώστε να υπολογιστεί η απόκλιση που παρουσιάζει σε σχέση με την τιμή της τάσης αναφοράς. Καθίσταται λοιπόν αναγκαίο η αναλογική τάση να μετατραπεί σε ψηφιακή. Για αυτό τον σκοπό χρησιμοποιήθηκε ο ADC μετατροπέας, ADs7800 διακριτικότητας 12 bits. Τα χαρακτηριστικά του συγκεκριμένου μετατροπέα είναι τα ακόλουθα:

- 2 κανάλια εισόδου, ένα των $\pm 10 V$ και ένα των $\pm 5 V$
- Εσωτερικό ρολόι αναφοράς
- Εσωτερικό sample/hold κύκλωμα
- Μέγιστη έκλυση ισχύος $215 W$
- Δειγματοληψία 333 χιλιάδων δειγμάτων ανά δευτερόλεπτο

Στην παρούσα εργασία χρησιμοποιήθηκε το κανάλι εισόδου των $\pm 5 V$, ενώ για να λειτουργήσει σωστά ο μετατροπέας χρειάστηκε τροφοδοσία $+5$ και $-15 V$, κάποιιο πυκνωτές, όπως φαίνεται στο Σχ. 6.4, και ένα ρολόι που παρέχεται στον μετατροπέα από την FPGA.



Σχήμα 6.4: Μετατροπέας A/D Ads7800.

6.2 Υλοποίηση Ψηφιακού κυκλώματος

Σε αυτή την ενότητα περιγράφεται το ψηφιακό τμήμα του συστήματος το οποίο υλοποιήθηκε σε γλώσσα περιγραφής υλικού, VHDL, στο αναπτυξιακό περιβάλλον της Spartan-3 FPGA. Στις δύο υπό-ενότητες που ακολουθούν περιγράφονται ξεχωριστά ο PID ελεγκτής και ο ψηφιακός διαμορφωτής εύρους παλμών DPWM.

6.2.1 Υλοποίηση PID ελεγκτή

Στο διακριτό χρόνο το σήμα ελέγχου ενός PID ελεγκτή, που ορίζεται από τη σχέση (4.1), μετατρέπεται σε αυτό της σχέσης (6.7).

$$u(n) = k_p e[n] + K_i \sum_{j=0}^n e[j] + K_d (e[n] - e[n-1]) \quad (6.7)$$

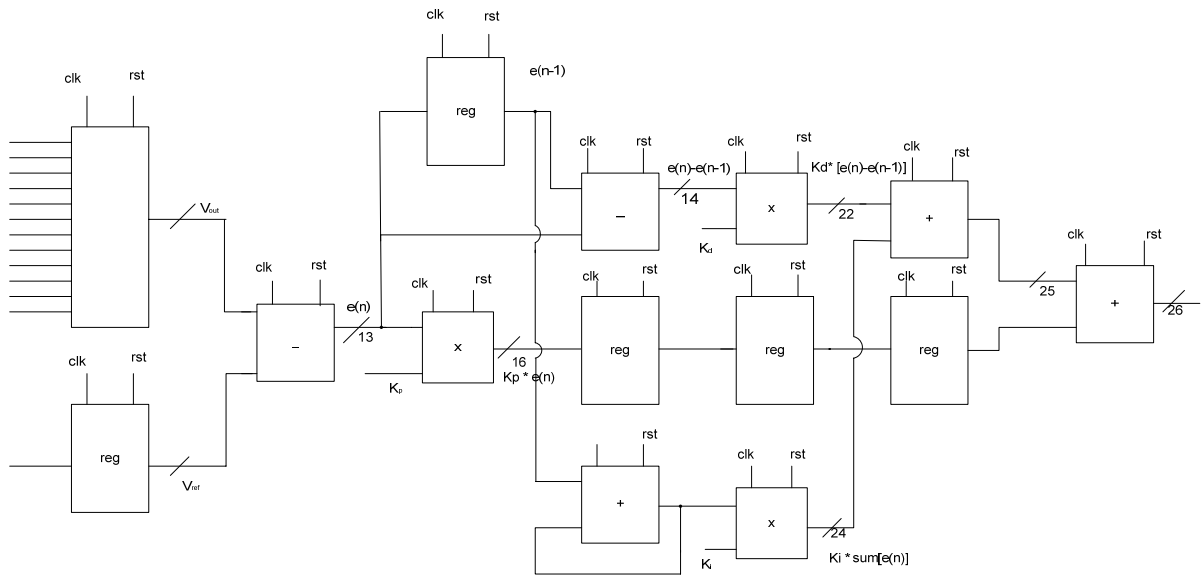
όπου:

$u[n]$ το n -οστό σήμα ελέγχου και

$e[n]$ το n -οστό δείγμα λάθους

Το n -οστό σήμα ελέγχου παράγεται από την διάταξη που φαίνεται στο Σχ. 6.5. Οι είσοδοι/έξοδοι ολόκληρου του συστήματος είναι οι εξής:

- 12 σήματα τύπου “in std_logic” τα οποία προέρχονται από τον ADC και έχουν συνδεθεί σε connectors της FPGA. Η σύνθεση αυτών των σημάτων αντιστοιχεί στην ψηφιακή τάση εξόδου του buck μετατροπέα.
- 1 12-bit σήμα τύπου “in std_logic_vector (11 downto 0)”, το οποίο αντιπροσωπεύει την τάση αναφοράς που ο χρήστης επιθυμεί να επιτευχθεί από τον μετατροπέα.
- Ένα ρολόι, το οποίο συνδέεται με αυτό της FPGA και το οποίο είναι της τάξης των 50 MHz.
- 1 σήμα reset το οποίο έχει συνδεθεί με ένα διακόπτη της FPGA
- 1 έξοδο που ορίζει το ποσοστό αγωγής του MOSFET και είναι τύπου “out std_logic_vector (21 downto 0)”. Και τέλος
- 1 έξοδος τύπου “out std_logic” η οποία αντιστοιχεί σε ρολόι των 1 kHz και 200 kHz, αντίστοιχα για κάθε μία από τις υλοποιήσεις του συστήματος. Αυτή η έξοδος συνδέεται στον ADC όπως έχει ήδη αναφερθεί στην προηγούμενη παράγραφο. Πρέπει να σημειωθεί πως αυτά τα ρολόγια χρησιμοποιούνται στην διάταξη του Σχ. 6.5 και προέρχονται από διαίρεση του ρολογιού της FPGA. Ο τρόπος με τον οποίο πραγματοποιείται η διαίρεση παρουσιάζεται σε επόμενη υπό-ενότητα.



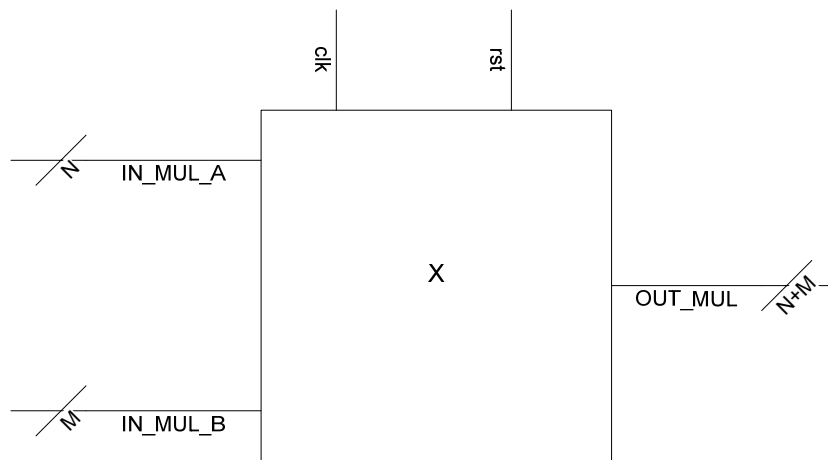
Σχήμα 6.5: Σχηματικό διάγραμμα PID ελεγκτή.

Τα κύρια δομικά στοιχεία που χρησιμοποιούνται στη διάταξη του PID ελεγκτή είναι: μονάδες που υλοποιούν την πράξη της πρόσθεσης και της αφαίρεσης, πολλαπλασιαστές και καταχωρητές που χρησιμοποιούνται κυρίως για να εισάγουν καθυστέρηση. Στη συνέχεια περιγράφεται σύντομα κάθε ένα από αυτά τα δομικά στοιχεία. Να σημειωθεί πως η σχεδίαση του Σχ. 6.5 εκμεταλλεύεται τις τεχνικές της παραλληλίας και της ομοχειρίας. Οι μονάδες που βρίσκονται στην ίδια στήλη εκτελούνται ταυτόχρονα με αποτέλεσμα το σύστημα να γίνεται γρηγορότερο. Το πρώτο αποτέλεσμα παράγεται μετά από 7 κύκλους, ενώ από τον όγδοο κύκλο και μετά παράγεται 1 αποτέλεσμα /κύκλο.

Πολλαπλασιαστής

Ο πολλαπλασιαστής διαθέτει τέσσερις εισόδους και μία έξοδο. Το clk και το rst είναι σήματα του ενός bit και συνδέονται με τα σήματα clk και rst που διέρχονται σαν είσοδοι σε ολόκληρο το σύστημα. Οι εισοδοί IN_MUL_A και IN_MUL_B είναι τα δύο μεγέθη που θα πολλαπλασιαστούν. Η μία είσοδος είναι προσημασμένη, δηλαδή το Most Significant Bit (MSB) του σήματος υποδηλώνει το πρόσημο του αριθμού. Η τιμή “1” αντιστοιχεί σε αρνητικό αριθμό, ενώ η τιμή “0” σε θετικό αριθμό. Η δεύτερη είσοδος είναι μη προσημασμένη. Το αποτέλεσμα του πολλαπλασιασμού έχει μέγεθος ίσο με το άθροισμα των bit των δύο εισόδων. Έτσι, αν η είσοδος IN_MUL_A είναι ίση με N bits και η είσοδος IN_MUL_B είναι ίση με M bits, το αποτέλεσμα του πολλαπλασιασμού τους θα δώσει ένα σήμα μεγέθους N+M bits. Η έξοδος είναι επίσης προσημασμένη με το MSB να υποδηλώνει

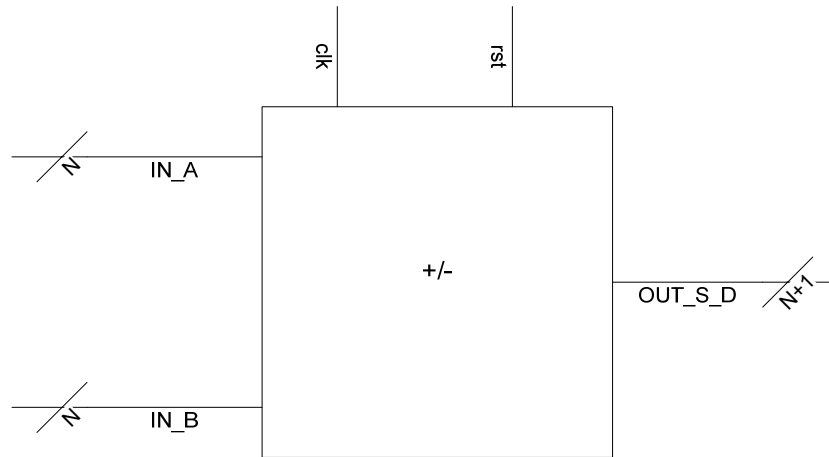
αντίστοιχα το πρόσημο του αποτελέσματος. Το δομικό στοιχείο του πολλαπλασιαστή παρουσιάζεται στο Σχ. 6.6.



Σχήμα 6.6: Πολλαπλασιαστής.

Αθροιστής-Αφαιρέτης

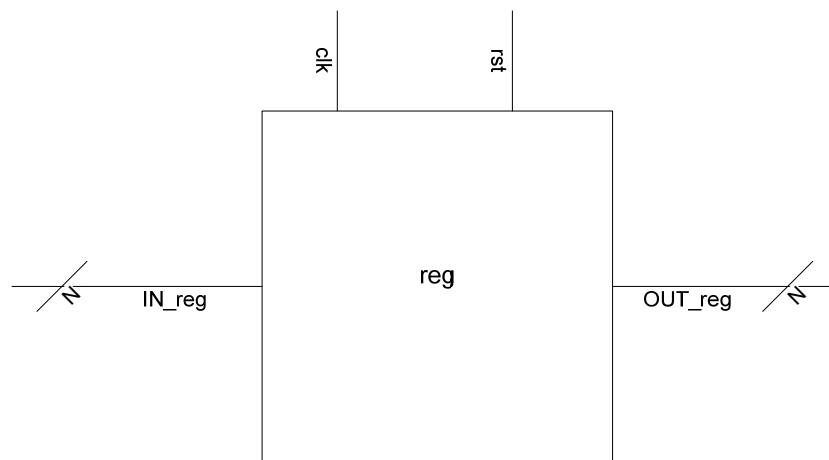
Ο αθροιστής/αφαιρέτης διαθέτει δύο εισόδους του ενός bit για το ρολόι και το reset, για τα οποία ισχύει ότι και στον πολλαπλασιαστή. Διαθέτει επίσης άλλες δύο εισόδους που αντιστοιχούν στα μεγέθη που θα προστεθούν ή θα αφαιρεθούν και μία έξοδο που αντιστοιχεί στο άθροισμα ή τη διαφορά αντίστοιχα. Τα σήματα μεταξύ των οποίων θα πραγματοποιηθεί η αριθμητική πράξη πρέπει να έχουν το ίδιο μέγεθος. Το μέγεθος του αποτελέσματος είναι κατά ένα bit μεγαλύτερο από αυτό των όρων που προστίθενται, γεγονός που συμβαίνει για να καλυφθεί η περίπτωση του κρατούμενου. Στην αφαίρεση το αποτέλεσμα έχει το ίδιο μέγεθος με αυτό του αφαιρετέου και του αφαιρέτη. Και στις δύο πράξεις οι αριθμοί είναι προσημασμένοι, με το MSB να δείχνει το είδος του πρόσημου τους. Οι αριθμητικές πράξεις πραγματοποιούνται σύμφωνα με τους μαθηματικούς κανόνες που ισχύουν για προσημασμένους αριθμούς.



Σχήμα 6.7: Ο αθροιστής / αφαιρέτης.

Καταχωρητής

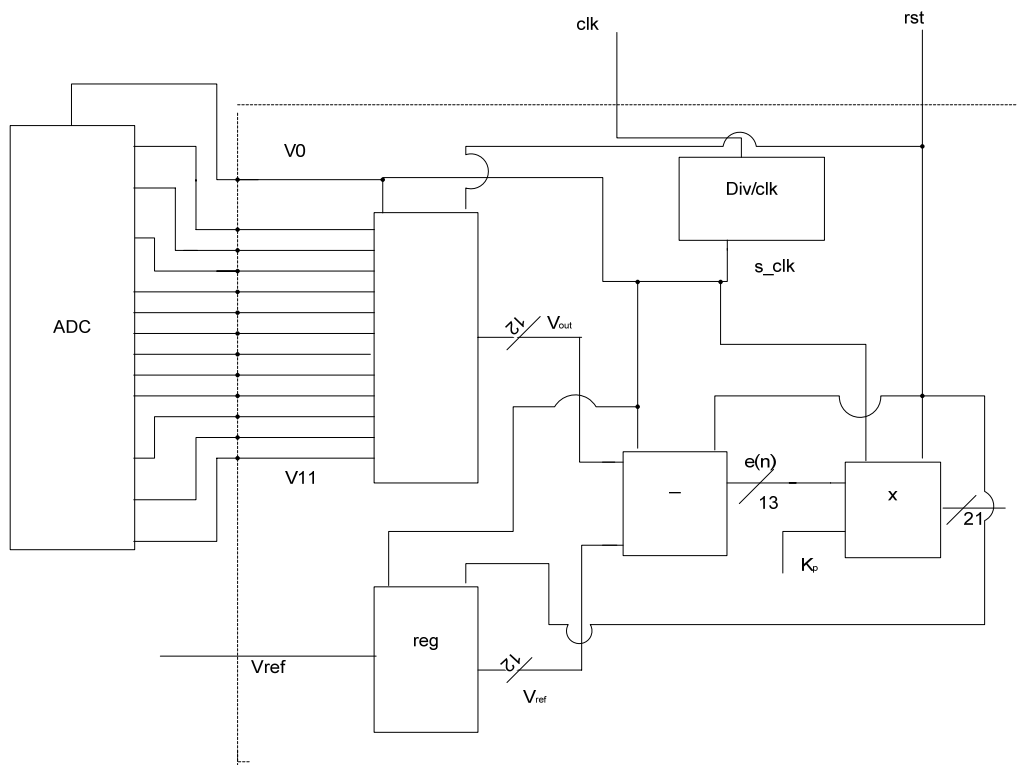
Ο καταχωρητής διαθέτει μία είσοδο και μία έξοδο ίδιου μεγέθους, το ρολόι και το σήμα reset (όμοια με τα προηγούμενα δομικά στοιχεία). Ο καταχωρητής σε κάθε θετική ακμή του ρολογιού αναθέτει στην έξοδο του ότι υπάρχει εκείνη τη χρονική στιγμή στην είσοδό του. Ο λόγος που χρησιμοποιείται είναι κυρίως για να εισάγει καθυστέρηση.



Σχήμα 6.8: Καταχωρητής.

Σύμφωνα με τη σχέση (6.7) για να υπολογιστεί το σήμα ελέγχου $u[n]$ του PID ελεγκτή θα πρέπει πρώτα να υπολογιστούν οι τρεις όροι που τον απαρτίζουν (P, I, D) και έπειτα να προστεθούν προκειμένου να δώσουν το τελικό ποσοστό αγωγής του MOSFET. Ο όρος P

ισούται με το γινόμενο της σταθεράς K_p και του n -οστού λάθους. Το σχηματικό διάγραμμα για την υλοποίηση αυτού του όρου δίνεται στο Σχ. 6.9.



Σχήμα 6.9: Σχηματικό διάγραμμα υπολογισμού P όρου.

Η τάση εξόδου του buck μετατροπέα (V_{out}), η οποία προκύπτει από το concatenation των δώδεκα bit του ADC και η τάση αναφοράς (V_{ref}), πρόκειται για την τάση που δίνεται από τον χρήστη, αφού έχει μετατραπεί σε μορφή αντίστοιχη με αυτή του ADC (σχέση (6.8)) εισέρχονται στην μονάδα αφαίρεσης όπου και υπολογίζεται το n -οστό σφάλμα ($V_{ref} - V_{out}$). Έπειτα, μέσω ενός πολλαπλασιαστή υπολογίζεται το γινόμενο $K_p * e[n]$, το οποίο έχει μέγεθος 21 bits.

$$V_{adc} = \frac{(V_{ref} + 5) \cdot 2^M}{V_{refHigh} - V_{refLow}} \quad (6.8)$$

όπου:

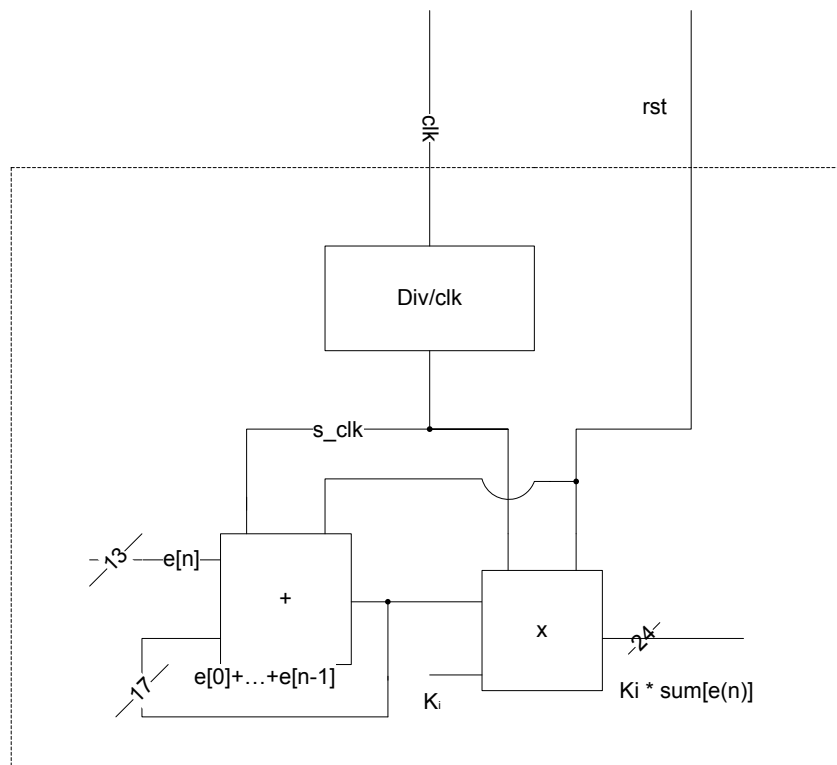
V_{adc} η είσοδος του ADC

V_{ref} η τάση αναφοράς

$V_{refHigh} - V_{refLow}$ το εύρος τιμών της τάσης εισόδου του ADC

M η ευκρίνεια σε bits του ADC

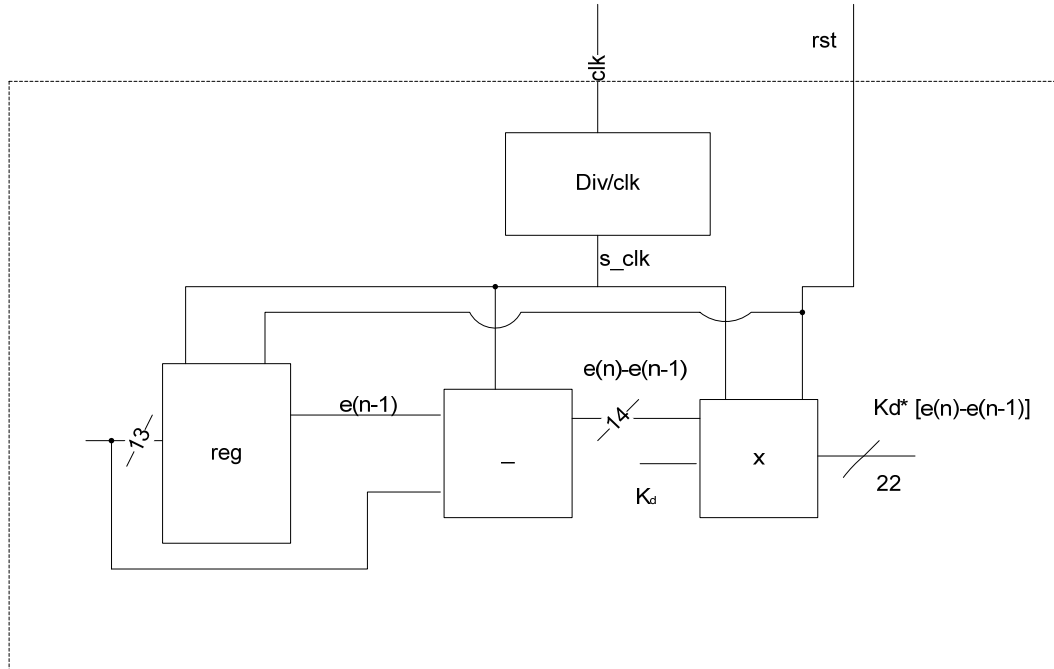
Ο επόμενος όρος, I , ισούται με το γινόμενο της σταθεράς K_i και του αθροίσματος όλων των δειγμάτων του σφάλματος. Για να υλοποιηθεί χρησιμοποιείται ένας αθροιστής του οποίου η μία είσοδος συνδέεται με το «τρέχον» σφάλμα, και η δεύτερη συνδέεται με την έξοδο του αθροιστή. Με αυτό τον τρόπο στο ήδη υπάρχον άθροισμα των προγενέστερων σφαλμάτων, $\sum_{j=0}^{n-1} e[j]$, προστίθεται και το νέο σφάλμα $e[n]$. Αφού υπολογιστεί το άθροισμα, συνδέεται σε έναν πολλαπλασιαστή ο οποίος υπολογίζει στον επόμενο κύκλο το γινόμενο $K_i * \sum_{j=0}^n e[j]$. Το σχηματικό διάγραμμα παρουσιάζεται στο σχήμα Σχ. 6.10.



Σχήμα 6.10: Σχηματικό διάγραμμα υπολογισμού I όρου.

Ο τελευταίος όρος, D , για να προσδιοριστεί χρειάζεται τη διαφορά του n -οστού σφάλματος με το ακριβώς προηγούμενο δείγμα. Για να πραγματοποιηθεί αυτό χρειάζεται ένα καταχωρητή, η είσοδος του οποίου αντιστοιχεί στο n -οστό δείγμα και η έξοδος στο $n-1$

δείγμα. Η είσοδος και η έξοδος του καταχωρητή εισέρχονται στη μονάδα αφαίρεσης όπου και υπολογίζεται η διαφορά τους. Η έξοδος του αφαιρέτη συνδέεται σε έναν πολλαπλασιαστή που υπολογίζει το γινόμενο $K_d * (e[n] - e[n-1])$.

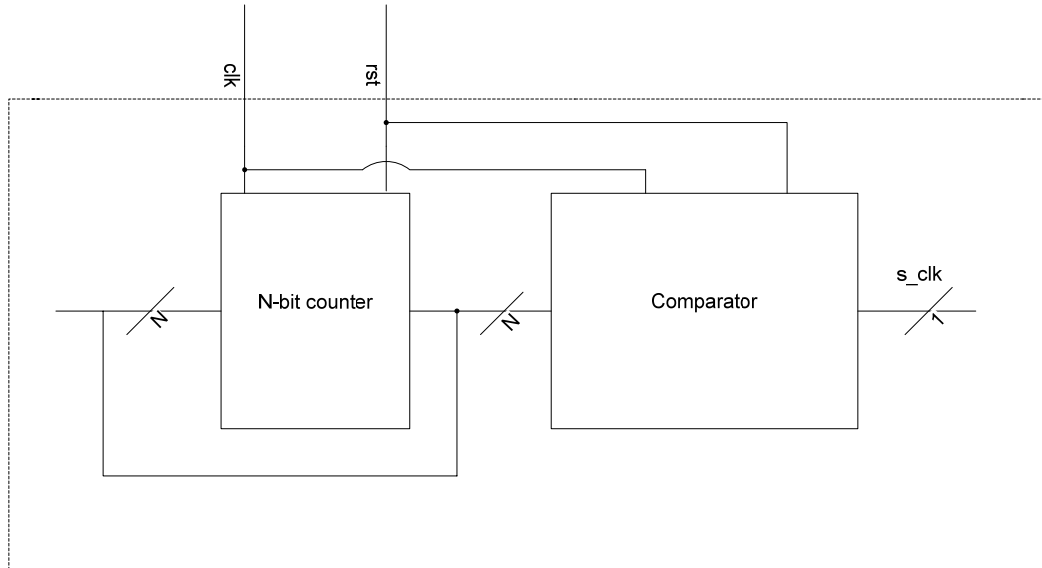


Σχήμα 6.11: Σχηματικό διάγραμμα για τον υπολογισμό P όρου.

6.2.2 Διαίρεση Ρολογιού

Το ρολόι της FPGA που χρησιμοποιήθηκε για την υλοποίηση του συστήματος είναι της τάξης των 50 MHz. Ο μετατροπέας όμως σχεδιάστηκε ώστε να λειτουργεί σε συχνότητες 1 kHz και 200 kHz. Είναι λοιπόν επιτακτικής σημασίας η ύπαρξη ρολογιών που θα λειτουργούν στις παραπάνω συχνότητες και θα οδηγούν το ψηφιακό κύκλωμα του PID ελεγκτή. Για την υλοποίηση αυτών των ρολογιών πραγματοποιείται κατάλληλη διαίρεση του ρολογιού της FPGA. Στην πρώτη περίπτωση ισχύει $T_{pid} = 50000 \cdot T_{FPGA}$ ενώ στην δεύτερη $T_{pid} = 250 \cdot T_{FPGA}$. Η λογική που χρησιμοποιήθηκε για την υλοποίηση τους είναι η ίδια και στις δύο περιπτώσεις. Υπάρχει ένας μετρητής ο οποίος μετράει περιοδικά 50000 ή 250 κύκλους ρολογιού της FPGA, ανάλογα με την υλοποίηση, και ανά 50000 ή 250 κύκλους αντίστοιχα μηδενίζεται. Η έξοδος του μετρητή εισέρχεται στην επόμενη μονάδα η οποία δίνει στη έξοδο της το παραγόμενο ρολόι συχνότητας $f = 1 kHz$ ή $f = 200 kHz$. Σε αυτή τη μονάδα γίνεται

διαρκώς έλεγχος αν η είσοδος της είναι μεγαλύτερη ή ίση από 25000 ή 125 αντίστοιχα, αν ναι ορίζεται στην έξοδο της η τιμή “1”, διαφορετικά η τιμή “0”. Το παραγόμενο ρολόι διοχετεύεται σε όλες τις μονάδες του PID ελεγκτή.

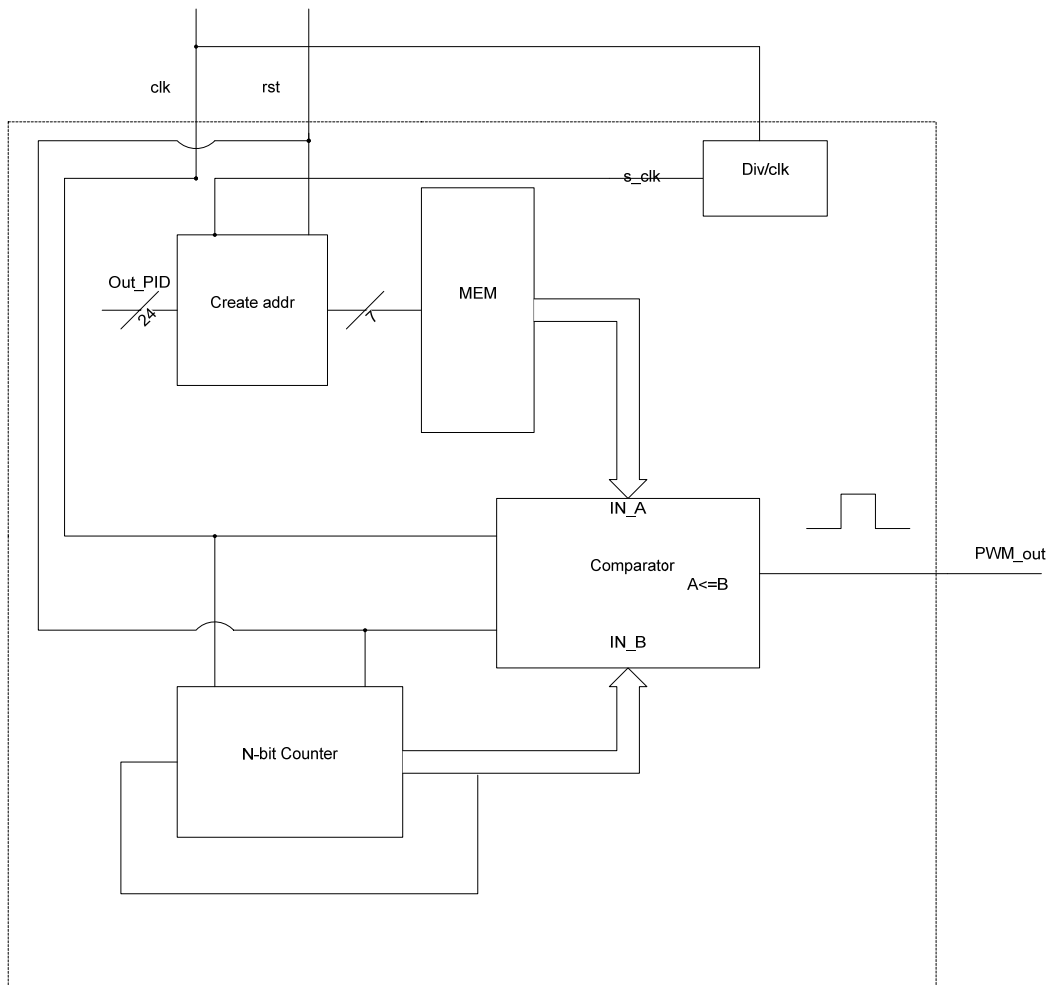


Σχήμα 6.12: Σχηματικό διάγραμμα διαιρέτη Ρολογιού.

6.2.3 Υλοποίηση DPWM

Η 24-bit έξοδος του PID ελεγκτή είναι το αποτέλεσμα του αθροίσματος των τριών παραμέτρων P, I, D. Αυτό το άθροισμα πρέπει να μεταφραστεί σε ποσοστό αγωγής και έπειτα σε κύκλους ρολογιού. Για την μετατροπή του ποσοστού σε κύκλους ρολογιού χρησιμοποιείται μία μνήμη μεγέθους 128x15 στην περίπτωση όπου $f = 1\text{ kHz}$ και 128x8 στην περίπτωση των 200 kHz. Η κάθε διεύθυνση της μνήμης εκφράζει το αντίστοιχο ποσοστό αγωγής και το περιεχόμενο της κάθε διεύθυνσης τον αριθμό των κύκλων για το συγκεκριμένο ποσοστό. Η διεύθυνση της μνήμης παράγεται από μία μονάδα η οποία μετατρέπει το εύρος τιμών της εξόδου του PID σε ποσοστό. Δεδομένου ότι η έξοδος του PID είναι μεγέθους 22-bit το 2^{22} αντιστοιχίζεται σε ποσοστό 100% και σε διεύθυνση μνήμης εκατό. Με κατάλληλες πράξεις δημιουργείται η κλίμακα των ποσοστών και κατ' επέκταση οι αντίστοιχες διευθύνσεις μνήμης. Τέλος το περιεχόμενο της μνήμης, το οποίο υποδηλώνει τον αριθμό των κύκλων όπου το MOSFET πρέπει να βρίσκεται σε κατάσταση ON, συγκρίνεται με την έξοδο του μετρητή που περιγράφηκε στην προηγούμενη υπό-ενότητα. Όσο η έξοδος

της μνήμης είναι μεγαλύτερη ή ίση από αυτή του μετρητή, η έξοδος του DPWM θα είναι ίση με “1”, διαφορετικά ίση με “0”. Με αυτό τον τρόπο ορίζεται στη διάρκεια μιας περιόδου το ποσοστό κατά το οποίο το MOSFET άγει. Τέλος, πρέπει να σημειωθεί πως η συχνότητα του DPWM πρέπει να είναι πολύ μεγαλύτερη από το ρυθμό δειγματοληψίας. Για αυτό το λόγο ο μετρητής και ο συγκριτής λειτουργούν στα 50 MHz, ενώ η μονάδα δημιουργίας ποσοστών στην μία υλοποίηση στα 1 kHz και στην άλλη στα 200 kHz. Το Σχηματικό διάγραμμα του DPWM φαίνεται στο Σχ.6.13.



Σχήμα 6.13: Σχηματικό διάγραμμα του DPWM.

7 Το Λογισμικό του Συστήματος

7.1 Γλώσσα περιγραφής υλικού VHDL

Το ψηφιακό κύκλωμα που περιγράφηκε στο Κεφάλαιο 6 υλοποιήθηκε στη γλώσσα περιγραφής υλικού VHDL. Κάθε μία μονάδα που φαίνεται στο Σχ. 6.5 υλοποιήθηκε σαν ξεχωριστό component, δηλαδή σαν ένα αυτόνομο αρχείο με δικές του εισόδους/εξόδους και λειτουργικότητα. Προκειμένου να επιτευχθεί το ζητούμενο αποτέλεσμα, τα επιμέρους components συνδέονται σε ένα αρχείο το οποίο διαθέτει την υψηλότερη θέση στην ιεραρχία (top level). Σε αυτό το αρχείο ορίζονται οι εισοδοί/εξοδοί που προέρχονται από το «εξωτερικό» περιβάλλον, τα επιμέρους components και πραγματοποιείται η διασύνδεση των τελευταίων. Η διασύνδεση επιτυγχάνεται με τη δήλωση σημάτων (signals), τα οποία χρησιμοποιούνται για να διασυνδέουν την έξοδο ενός component με την είσοδο ενός άλλου και το αντίστροφο. Εκτός από την εσωτερική διασύνδεση πρέπει να οριστεί από που θα παίρνονται οι εισοδοί του top level και που θα αποδίδονται οι τιμές των εξόδων του. Για αυτό το σκοπό ορίζεται ένα αρχείο με κατάληξη .ucf, στο οποίο πραγματοποιείται η διασύνδεση του περιφερειακού που έχει υλοποιηθεί με την FPGA. Ένα παράδειγμα της σύνταξης που ακολουθείται σε αυτό το αρχείο είναι το ακόλουθο: *NET "clk" LOC=T9;*

Όπου ανάμεσα στα εισαγωγικά τοποθετείται το όνομα της εισόδου ή της εξόδου όπως ακριβώς έχει οριστεί στο top level και μετά το ίσον ακολουθεί το όνομα του FPGA pin. Για την πραγματοποίηση όσων περιγράφηκαν παραπάνω χρησιμοποιήθηκε το εργαλείο *Xilinx ISE 7.1i*, ενώ για την προσομοίωσή τους το *ModelSim SE 6.0*.

7.2 Υπολογισμός Παραμέτρων PID Ελεγκτή

Όπως αναφέρεται στην παράγραφο 4.3 υπάρχουν διάφοροι τρόποι για την διεξαγωγή των παραμέτρων του PID ελεγκτή. Στη παρούσα εργασία χρησιμοποιήθηκε ένας εμπειρικός τρόπος ο οποίος στηρίζεται κυρίως στην παρατήρηση. Μετά από δοκιμές επιλέγονται εκείνες οι τιμές παραμέτρων οι οποίες επιτυγχάνουν την εξάλειψη του σφάλματος μόνιμης κατάστασης, τη μείωση του χρόνου ανύψωσης και της υπερύψωσης και την αύξηση της σταθερότητας του συστήματος. Στη συνέχεια περιγράφονται αναλυτικά τα βήματα που ακολουθήθηκαν για την εξαγωγή των παραμέτρων για συχνότητα λειτουργίας $f = 200 \text{ kHz}$.

Η συνάρτηση μεταφοράς του PID ελεγκτή δίνεται από τη σχέση (7.1), ενώ η συνάρτηση μεταφοράς του buck μετατροπέα από τη σχέση (7.2).

$$U(s) = \frac{K_d s^2 + K_p s + K_i}{s} \quad (7.1)$$

όπου:

K_p το αναλογικό κέρδος

K_i το ολοκληρωτικό κέρδος

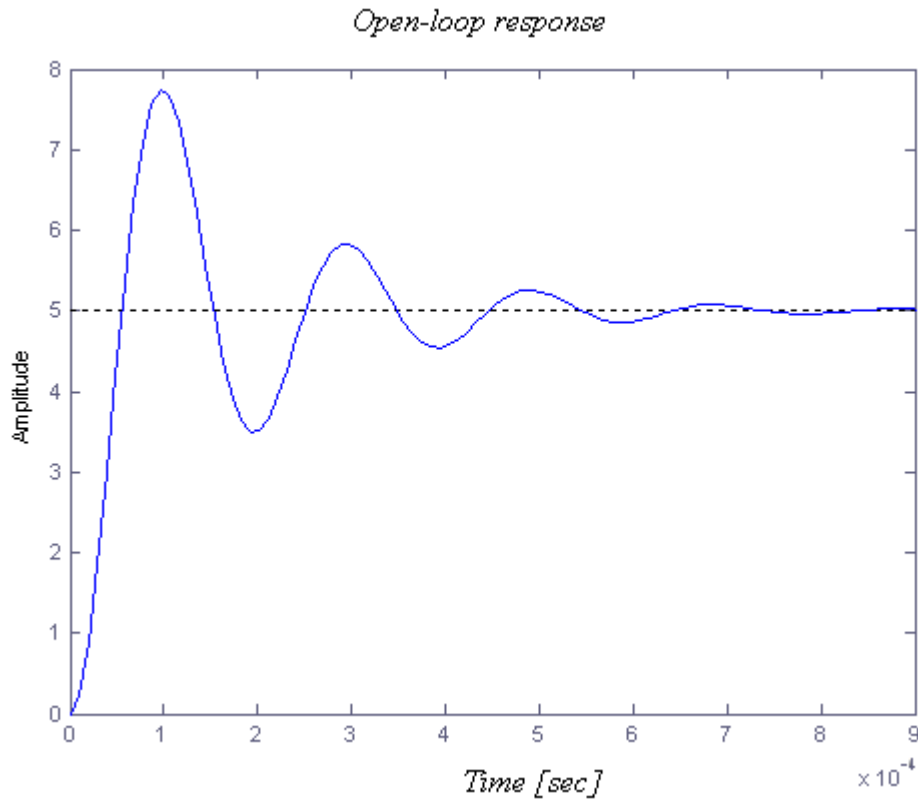
K_d το διαφορικό κέρδος

$$A(s) = \frac{V_i}{LCs^2 + \frac{L}{R}s + 1} \quad (7.2)$$

όπου:

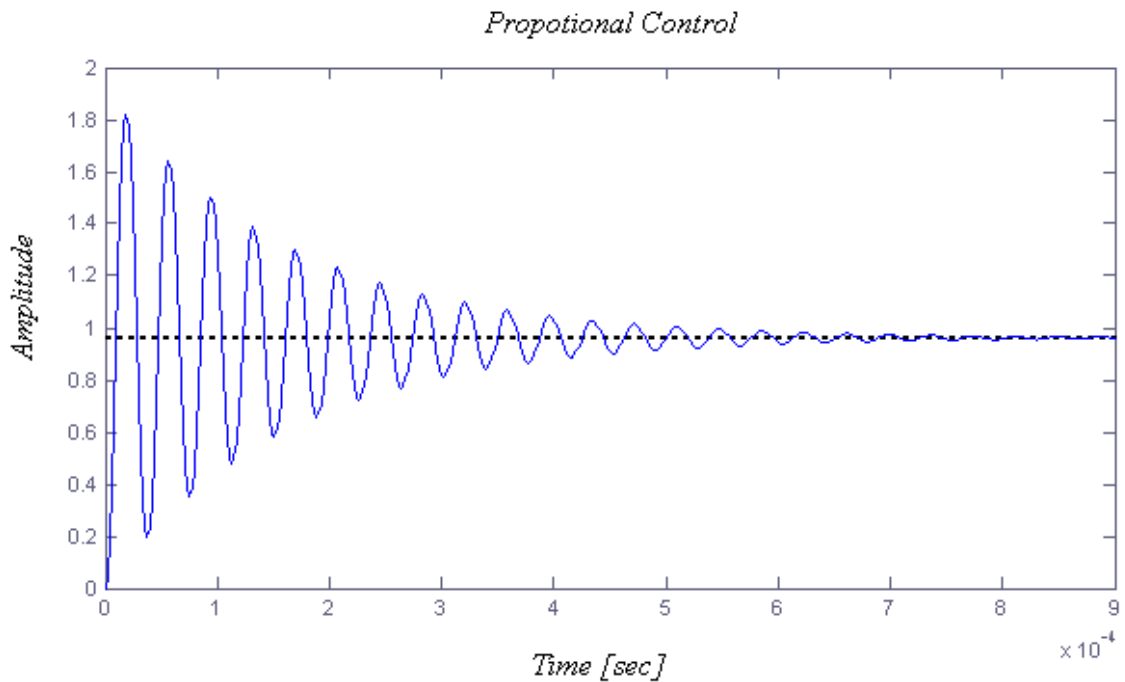
$V_i = 5.24 \text{ V}$, $L = 0.39 \cdot 10^{-4} \text{ H}$, $C = 10 \mu\text{F}$ και $R = 8.2 \Omega$.

1. Μοντελοποιείται το σύστημα μέσω του εργαλείου *Matlab R2008a* και προκύπτει η απόκριση ανοικτού συστήματος που φαίνεται στο Σχ. 7.1.



Σχήμα 7.1: Απόκριση ανοικτού συστήματος.

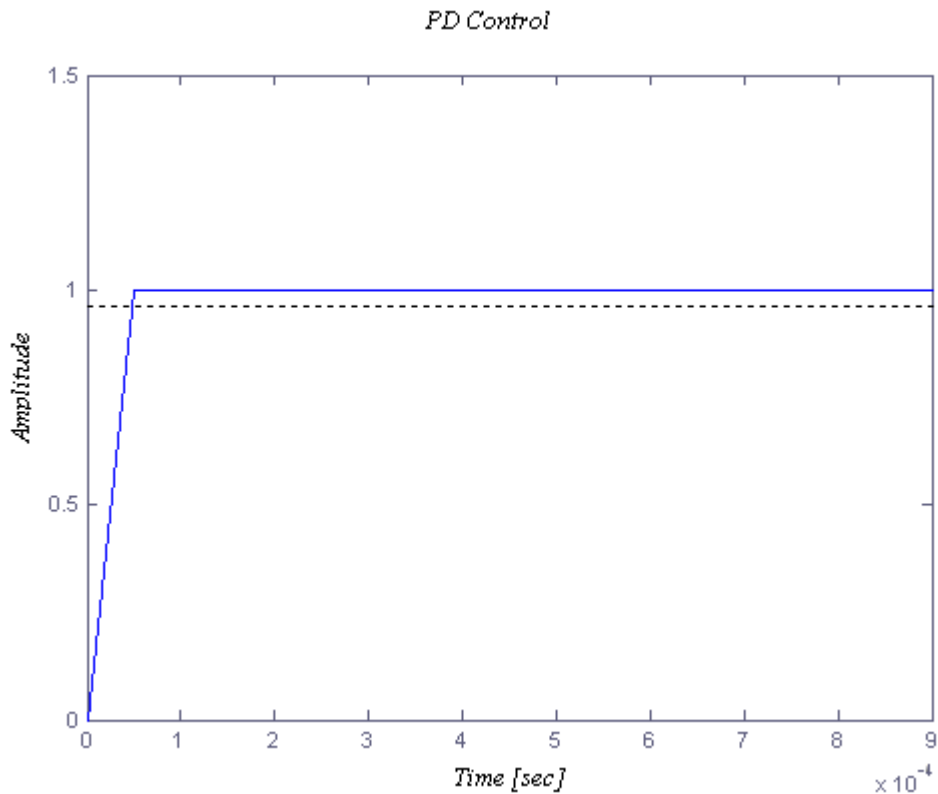
2. Εισάγεται η παράμετρος K_p . Η παρουσία του αναλογικού κέρδους μειώνει το λάθος και το χρόνο ανύψωσης. Με χρήση της εντολής `cloop` στο Matlab το ανοικτό σύστημα μετατρέπεται σε κλειστό. Ως όρισμα της συνάρτησης `cloop` χρησιμοποιείται το γινόμενο της συνάρτησης μεταφοράς του buck μετατροπέα με αυτή του PID ελεγκτή. Στο Σχ. 7.2 παρουσιάζεται η απόκριση κλειστού συστήματος μετά την εισαγωγή του αναλογικού κέρδους.



Σχήμα 7.2: Επίδραση αναλογικού κέρδους.

Παρατηρείται ότι μετά την εισαγωγή του αναλογικού κέρδους ο χρόνος ανύψωσης μειώνεται από τα 10^{-4} sec στα 10^{-5} sec και το μόνιμο σφάλμα από 7.8 στο 1.8. Η υπερύψωση όμως αυξάνεται. Μετά από δοκιμές παρατηρείται πως η βέλτιστη τιμή αναλογικού κέρδους είναι $K_p = 5$.

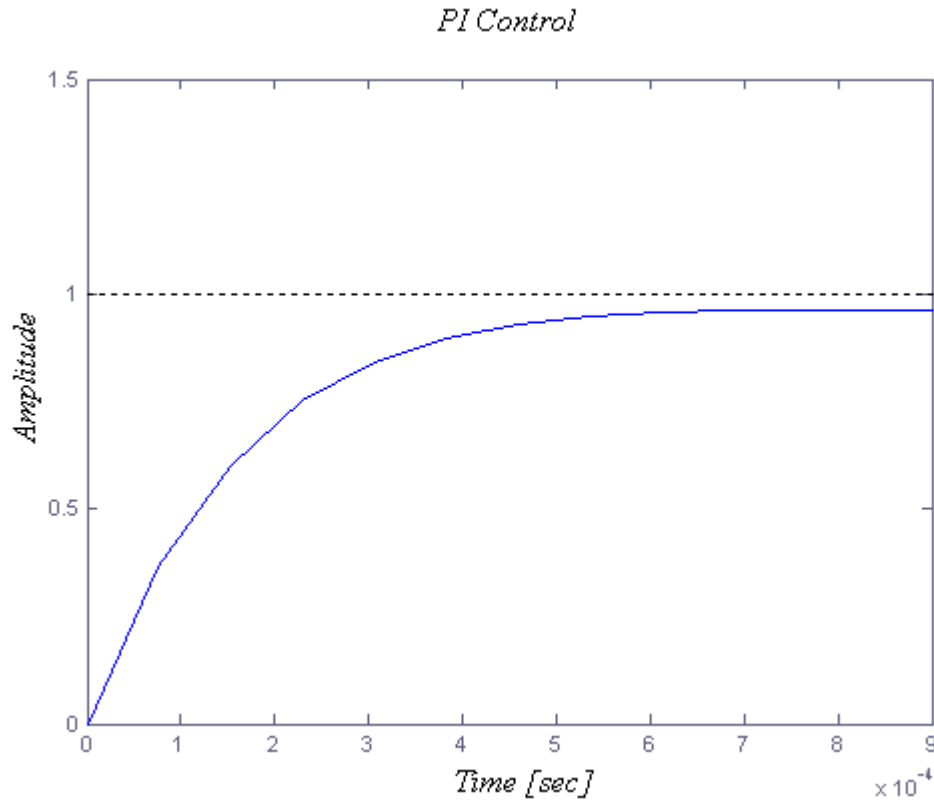
3. Προστίθεται στον ήδη υπάρχοντα αναλογικό έλεγχο και ο διαφορικός προκειμένου να μειωθεί η υπερύψωση. Για παραμέτρους $K_p = 5$ και $K_d = 1$ προκύπτει το παρακάτω διάγραμμα.



Σχήμα 7.3: Επίδραση αναλογικού και διαφορικού ελέγχου.

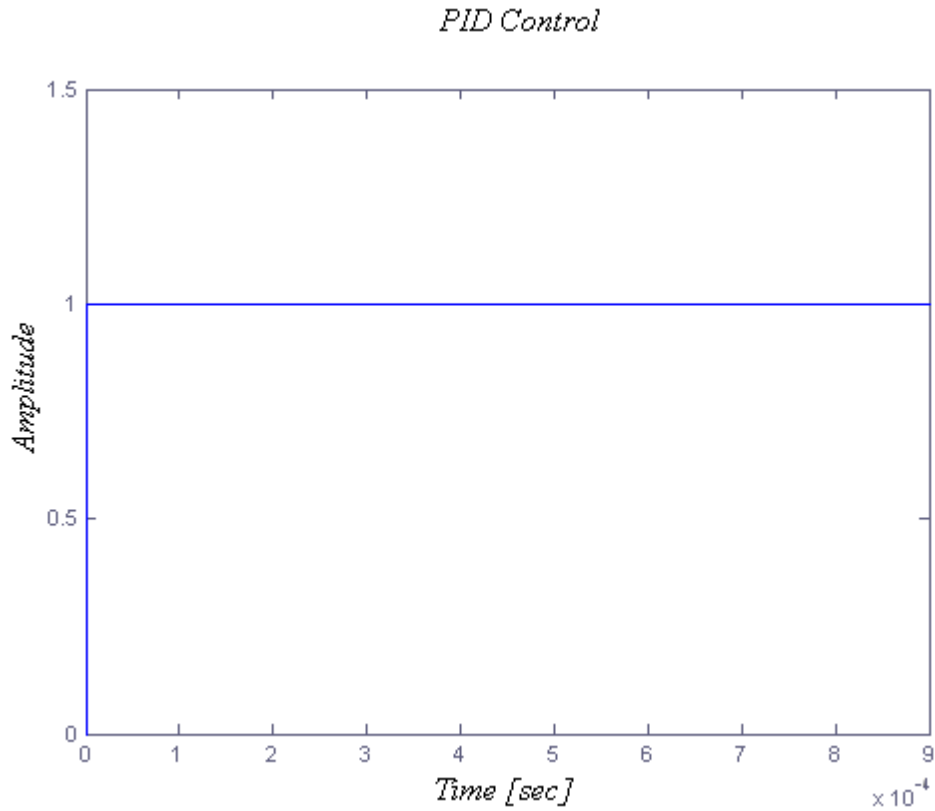
Το σύστημα πλέον έχει γρήγορη απόκριση και καθόλου υπερύψωση.

Όπως παρατηρήσαμε παραπάνω ο P-controller μειώνει αισθητά το λάθος αλλά με κόστος την υψηλή υπερύψωση. Για αυτό το λόγο δοκιμάζεται ένας PI-controller. Από το διάγραμμα που ακολουθεί παρατηρείται πως ο χρόνος απόκρισης αυξάνεται.



Σχήμα 7.4: Επίδραση αναλογικού-ολοκληρωτικού κέρδους.

4. Από τα παραπάνω διαγράμματα γίνεται σαφές πως κανένας από του ελεγκτές PD και PI δεν μπορεί να πετύχει ταυτόχρονα γρήγορη απόκριση, χαμηλή υπερύψωση και σχεδόν μηδενικό μόνιμο σφάλμα. Για αυτό το λόγο συνδυάζονται οι δύο ελεγκτές και προκύπτει ο PID ελεγκτής. Το τελικό διάγραμμα του ελεγκτή παρουσιάζεται στο Σχ.7.5. Η τελική επιλογή παραμέτρων είναι η εξής: $K_p = 5$, $K_i = 18$ και $K_d = 6$.

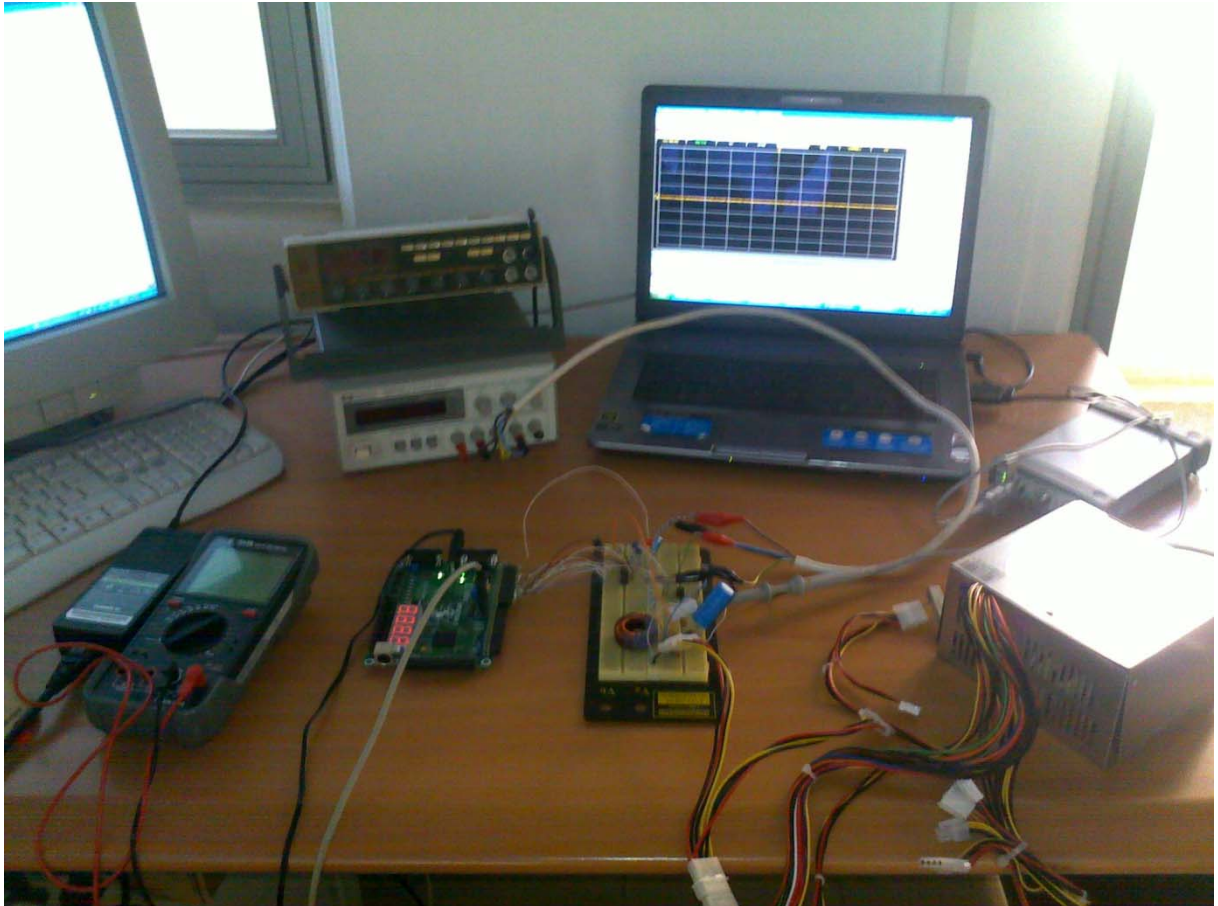


Σχήμα 7.5: Επίδραση αναλογικού-ολοκληρωτικού-διαφορικού ελεγκτή.

Με την ίδια διαδικασία εξήχθησαν οι παράμετροι για συχνότητα λειτουργίας $f = 1 \text{ kHz}$. Οι τιμές που προέκυψαν είναι: $K_p = 200$, $K_i = 50$ και $K_d = 500$.

8 Πειραματικά Αποτελέσματα Συστήματος

Ο buck DC-DC μετατροπέας που υλοποιήθηκε στα πλαίσια αυτής της εργασίας (Σχ. 8.1) υποβλήθηκε σε ποικίλες μετρήσεις προκειμένου να αξιολογηθεί η αξιοπιστία του.



Σχήμα 8.1: Ο buck DC-DC μετατροπέας που υλοποιήθηκε και τα όργανα που χρησιμοποιήθηκαν για την αξιολόγησή του.

Τα όργανα που χρησιμοποιήθηκαν για αυτόν το σκοπό είναι τα ακόλουθα:

- Τροφοδοτικό ακριβείας Hewlett Packard E3630A
- Ψηφιακό πολύμετρο E-SUN EM3058
- Τροφοδοτικό προσωπικού υπολογιστή Maxpower
- Ψηφιακός παλμογράφος Agilent Technologies U2701A

8.1 Υπολογισμός Ακρίβειας

Η ακρίβεια ενός αποτελέσματος χαρακτηρίζεται από το πόσο κοντά βρίσκεται η πειραματικά λαμβανόμενη τιμή στην πραγματική τιμή. Στην περίπτωση του buck μετατροπέα η ακρίβεια των αποτελεσμάτων του εκφράζεται με το απόλυτο σφάλμα, το οποίο ορίζεται ως η διαφορά μεταξύ της πειραματικά λαμβανόμενης τάσης εξόδου και της τάσης αναφοράς .

$$E = |V_o - V_{ref}| \quad (8.1)$$

όπου:

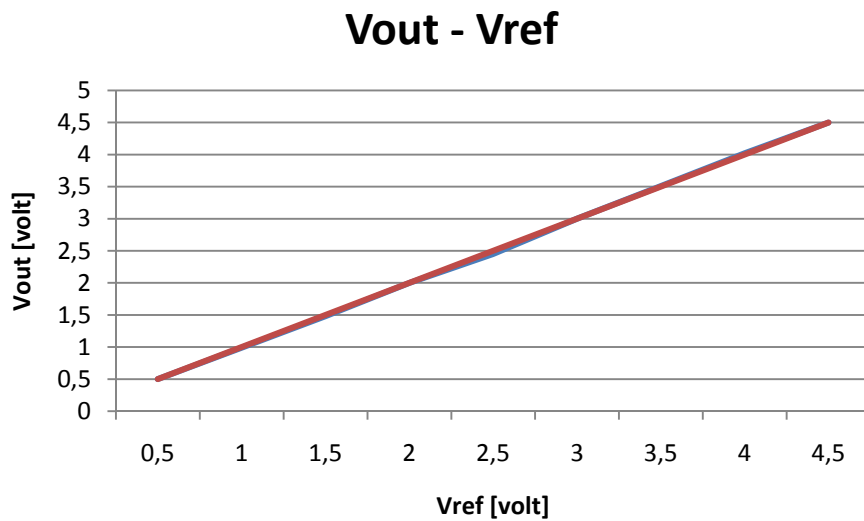
E το απόλυτο σφάλμα

V_o η πειραματικά λαμβανόμενη τάση εξόδου

V_{ref} η τάση αναφοράς

Είναι προφανές, πως όσο μικρότερη είναι η τιμή του απόλυτου σφάλματος τόσο υψηλότερη είναι η ακρίβεια του συστήματος. Στους πίνακες που ακολουθούν φαίνονται τα πειραματικά αποτελέσματα του buck μετατροπέα για τάση εισόδου $V_i = 5.24 V$ και συχνότητες λειτουργίας $f = 1 kHz$ και $f = 200 kHz$ αντίστοιχα.

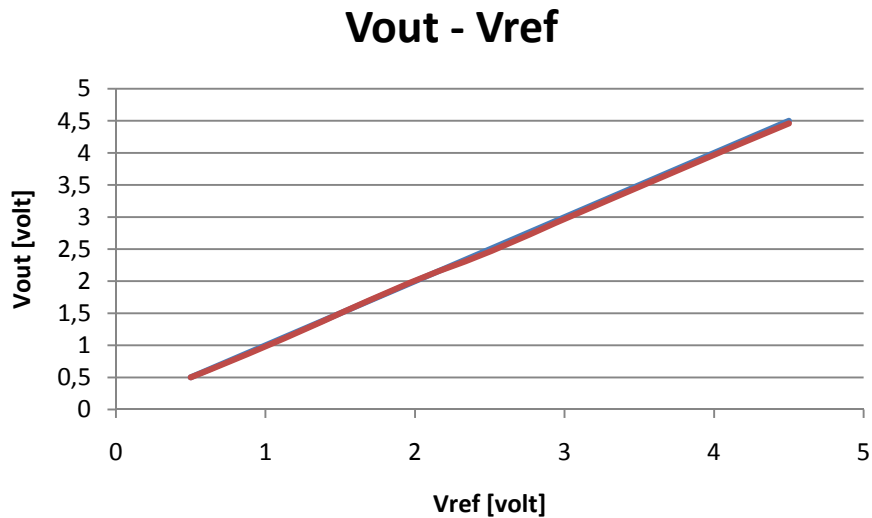
Πίνακας 8.1: Πειραματικά αποτελέσματα για συχνότητα λειτουργίας $f=1$ kHz.		
V_{ref} (V)	V_o (V)	E
0.50	0.50	0.00
1.00	0.99	0.01
1.50	1.48	0.02
2.00	2.00	0.00
2.50	2.45	0.05
3.00	3.00	0.00
3.50	3.51	0.01
4.00	4.02	0.02
4.50	4.50	0.00



Σχήμα 8.2: Σύγκριση πειραματικών και θεωρητικών αποτελεσμάτων για $f=1$ kHz.

Στο Σχ. 8.2 η κόκκινη γραμμή αντιπροσωπεύει την ιδανική περίπτωση. Την περίπτωση δηλαδή που η έξοδος του μετατροπέας ταυτίζεται με την τάση αναφοράς. Η μπλε γραμμή αντιστοιχεί στα πειραματικά αποτελέσματα. Παρατηρείται ότι οι δύο γραμμές σχεδόν ταυτίζονται, με μια εξαίρεση γύρω στα 2.5 V .

Πίνακας 8.2: Πειραματικά αποτελέσματα για συχνότητα λειτουργίας $f=200$ kHz.		
V_{ref} (V)	V_o (V)	E
0.50	0.50	0.00
1.00	0.98	0.02
1.50	1.50	0.00
2.00	2.01	0.01
2.50	2.46	0.04
3.00	2.97	0.03
3.50	3.47	0.03
4.00	3.97	0.03
4.50	4.46	0.04

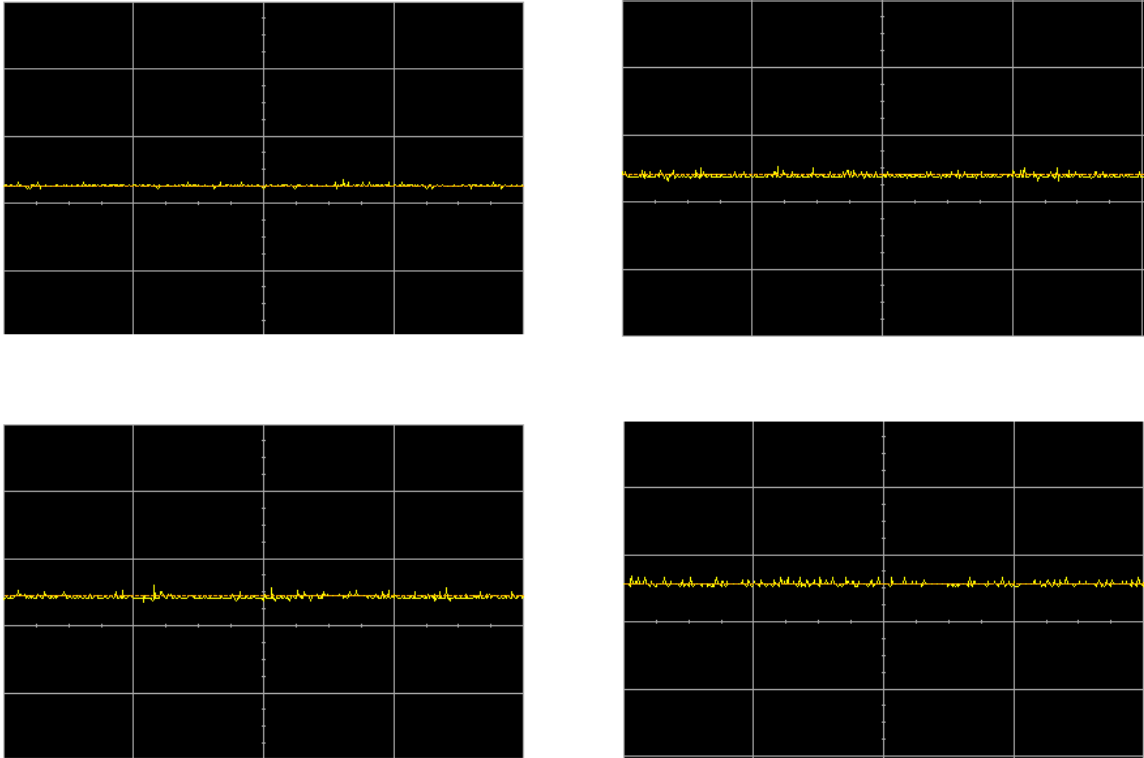


Σχήμα 8.3: Σύγκριση πειραματικών και θεωρητικών αποτελεσμάτων για $f=200$ kHz.

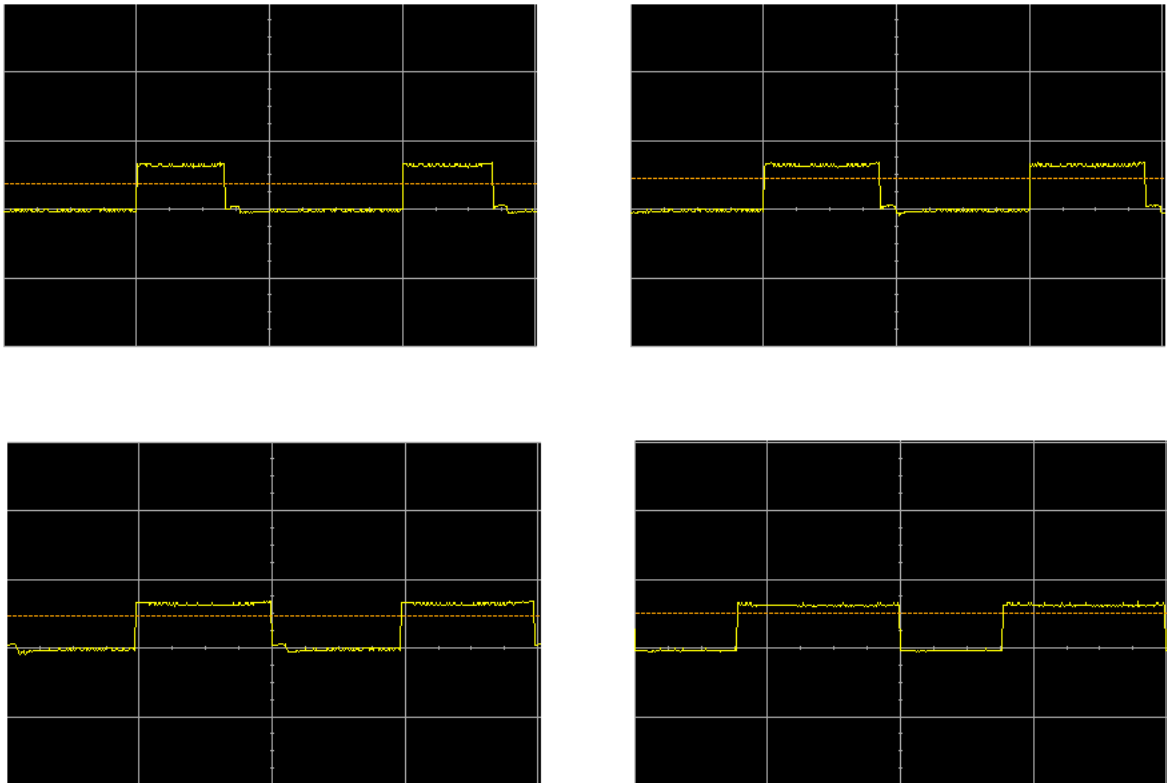
Από τα παραπάνω αποτελέσματα μπορεί να εξαχθεί το συμπέρασμα πως ο buck μετατροπέας της παρούσας εργασίας παρουσιάζει υψηλή ακρίβεια και στις δύο συχνότητες λειτουργίας.

Στην πρώτη περίπτωση συγκεκριμένα ο μετατροπέας πλησιάζει στην ιδανική συμπεριφορά. Η μεγαλύτερη απόκλιση που παρατηρείται στην περίπτωση των 200 kHz οφείλεται στην διαίρεση του ρολογιού του ψηφιακού κυκλώματος. Δεδομένου ότι το ρολόι της FPGA, όπως έχει ήδη αναφερθεί, είναι της τάξης των 50 MHz και πρέπει να διαιρεθεί ώστε να λειτουργεί στα 200 kHz, σημαίνει πως ο 1 κύκλος ρολογιού στα 200 kHz αντιστοιχεί σε 250 κύκλους των 50 MHz. Αυτό πρακτικά σημαίνει πως για να επιτευχθεί 1% duty cycle πρέπει για 2.5 από τους 250 κύκλους το transistor να βρίσκεται σε κατάσταση αγωγής. Στο δυαδικό σύστημα όμως το δεκαδικό μέρος ενός ποσού (σύμφωνα με την παρούσα υλοποίηση) δεν μπορεί να αναπαρασταθεί και έτσι το 2.5 εντάσσεται είτε στο 2 είτε στο 3. Η ίδια λογική ακολουθείται για όλους του δεκαδικούς αριθμούς. Τέλος ένας ακόμα παράγοντας που μπορεί να επηρεάσει τα αποτελέσματα είναι τα κριτήρια που έχουν χρησιμοποιηθεί για την μετατροπή του εύρους τιμών της εξόδου του PID σε ποσοστά. Ποσοστά τα οποία ανήκουν στο διάστημα $[n, n+1)$ κατηγοριοποιούνται όλα στο ποσοστό n . Ενδεχομένως μία άλλη κατηγοριοποίηση, μικρότερου εύρους τιμών, να επέφερε καλύτερα αποτελέσματα.

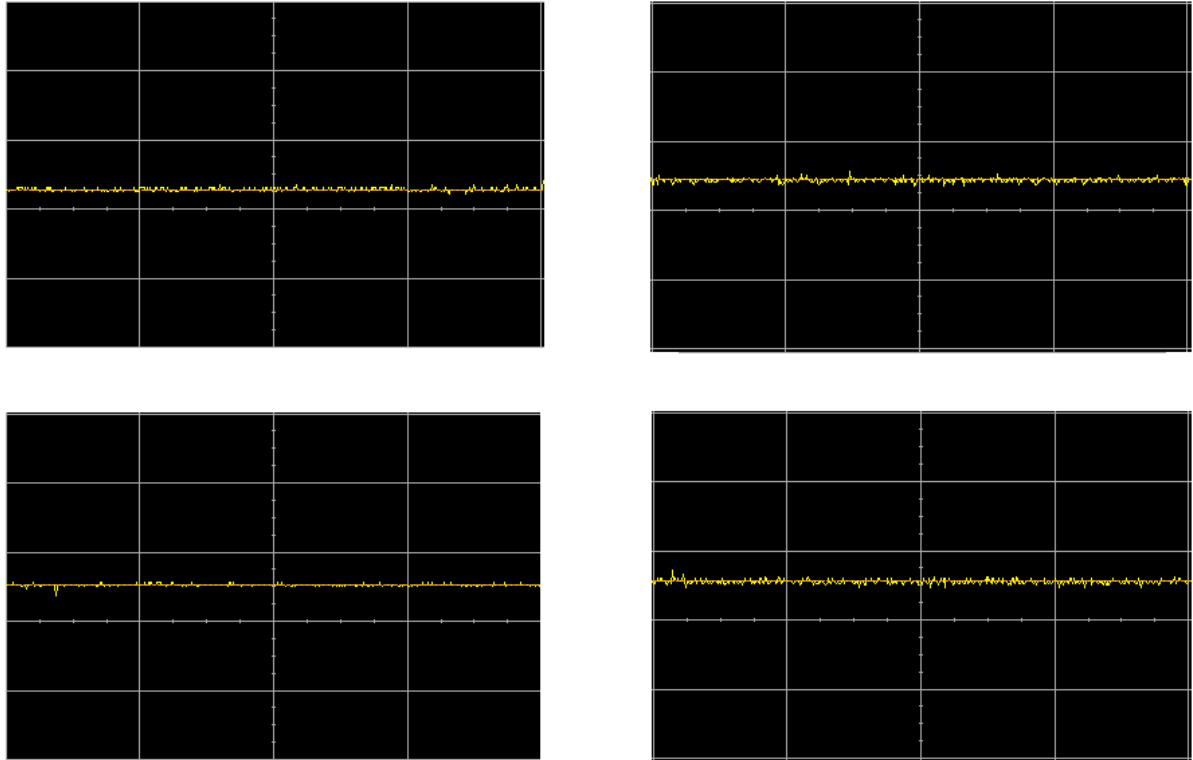
Στη συνέχεια παρουσιάζονται κυματομορφές για κάποιες τιμές της τάσης εξόδου του αναλογικού κυκλώματος και του αντίστοιχου duty cycle που παράχθηκε από το ψηφιακό κύκλωμα. Οι κυματομορφές έχουν συλλεχθεί μέσω του ψηφιακού παλμογράφου Agilent Technologies U2701A και επιβεβαιώνουν την ορθή λειτουργία του συστήματος.



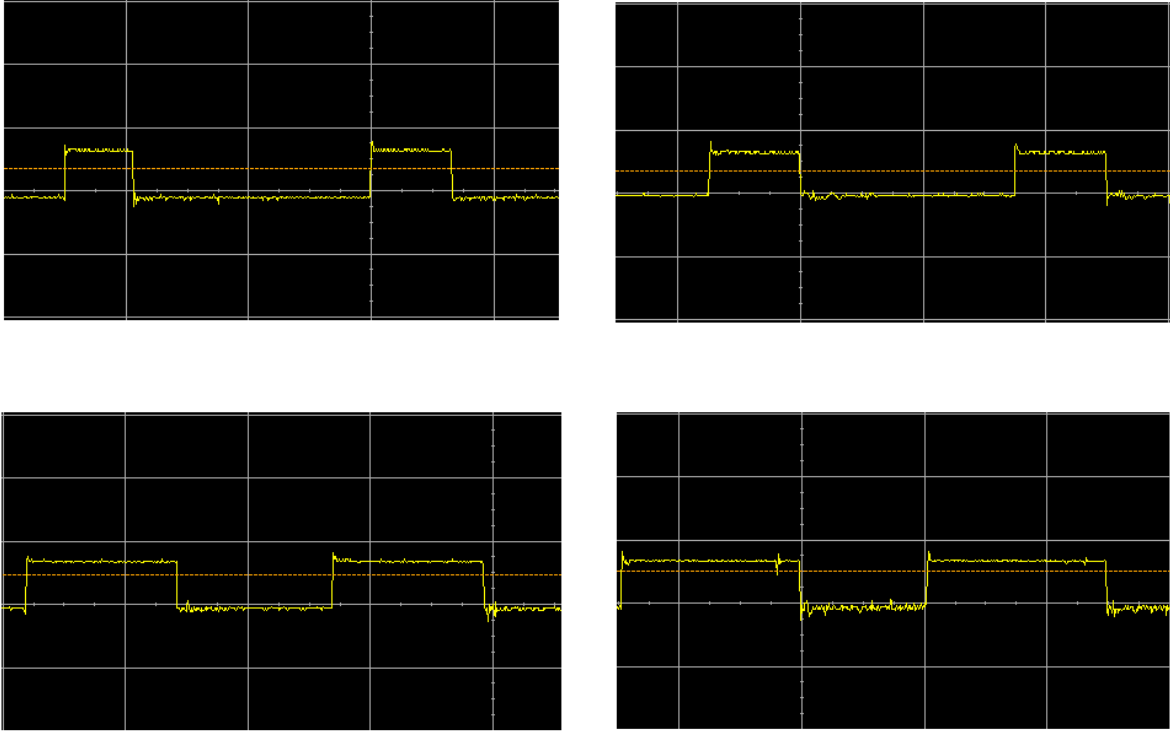
Σχήμα 8.4: Οι τάσεις εξόδου του μετατροπέα για $V_{ref} = 1.5V$ (πάνω αριστερά), $V_{ref} = 2V$ (πάνω δεξιά), $V_{ref} = 2.5V$ (κάτω αριστερά) και $V_{ref} = 3V$ (κάτω δεξιά), για συχνότητα λειτουργίας $f=1\text{ kHz}$.



Σχήμα 8.5: Τα duty cycle που παράγονται από το ψηφιακό κύκλωμα για την επίτευξη των τάσεων αναφοράς του Σχ. 8.4 για συχνότητα λειτουργίας $f=1$ kHz.



Σχήμα 8.6: Οι τάσεις εξόδου του μετατροπέα για $V_{ref} = 1.5V$ (πάνω αριστερά), $V_{ref} = 2V$ (πάνω δεξιά), $V_{ref} = 2.5V$ (κάτω αριστερά) και $V_{ref} = 3V$ (κάτω δεξιά), για συχνότητα λειτουργίας $f=200\text{ kHz}$.



Σχήμα 8.7: Τα duty cycle που παράγονται από το ψηφιακό κύκλωμα για την επίτευξη των τάσεων αναφοράς του Σχ. 8.6 για συχνότητα λειτουργίας $f=200$ kHz.

8.2 Υπολογισμός Ripple Voltage

Ένα καλό τροφοδοτικό πρέπει να είναι σε θέση να παράγει τάση με όσο το δυνατόν μικρότερη διακύμανση. Για αυτό το λόγο η επόμενη μέτρηση στην οποία υποβλήθηκε ο μετατροπέας ήταν ο υπολογισμός της διακύμανσης που παρουσιάζει η τάση εξόδου του. Στους πίνακες που ακολουθούν παρουσιάζεται η διακύμανση που παρατηρείται στην έξοδο του μετατροπέα για διάφορες τιμές της τάσης αναφοράς και για τις δύο συχνότητες λειτουργίας. Το ποσοστό διακύμανσης της τάσης εξόδου υπολογίστηκε από τη σχέση (8.2).

$$\%V_{ripple} = \frac{V_{p-p}}{V_{average}} \times 100\% \quad (8.2)$$

όπου:

V_{p-p} η διαφορά της μέγιστης από την ελάχιστη τιμή τάσης

Πίνακας 8.3: Πειραματικά αποτελέσματα για το ποσοστό διακύμανσης της τάσης εξόδου σε συχνότητα λειτουργίας $f=1$ kHz.

V_{ref} (V)	V_o (V)	V_{p-p} (mV)	$\%V_{ripple}$
0.50	0.50	10.75	2.15
1.00	0.99	31.25	3.15
1.50	1.48	31.25	2.06
2.00	2.00	31.25	1.56
2.50	2.45	32.50	1.30
3.00	3.00	31.25	1.04
3.50	3.51	31.25	0.89
4.00	4.02	46.99	1.16
4.50	4.50	46.00	1.02

Πίνακας 8.4: Πειραματικά αποτελέσματα για το ποσοστό διακύμανσης της τάσης εξόδου σε συχνότητα λειτουργίας $f=200$ kHz.

V_{ref} (V)	V_o (V)	V_{p-p} (mV)	$\%V_{ripple}$
0.50	0.50	10.75	2.15
1.00	0.98	32.25	3.22
1.50	1.50	20.25	1.35
2.00	2.01	35.25	1.75
2.50	2.46	30.50	1.22
3.00	2.97	19.25	0.60
3.50	3.47	25.25	0.70
4.00	3.97	20.99	0.52
4.50	4.46	21.25	0.47

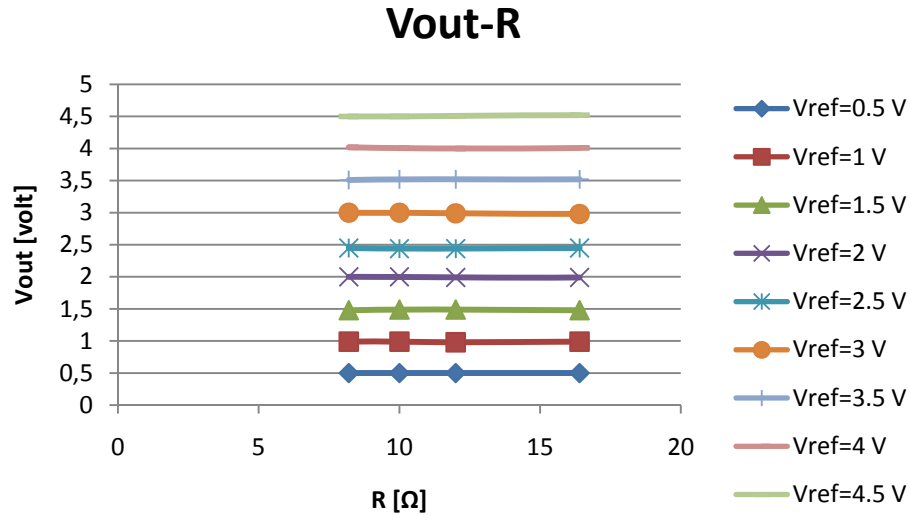
Από τα παραπάνω αποτελέσματα προκύπτει πως η μέση τιμή της διακύμανσης των τάσεων του μετατροπέα για συχνότητα $f = 1$ kHz ανέρχεται στο 1.59% και ενώ για συχνότητα $f = 200$ kHz στο 1.33%. Η παραγόμενη τάση του μετατροπέα μπορεί να θεωρηθεί αρκετά ποιοτική δεδομένου ότι οι μέχρι τώρα μετατροπείς που έχουν υλοποιηθεί στα πλαίσια παρόμοιων εργασιών εμπεριέχουν διακύμανση τουλάχιστον 2%.

8.3 Υπολογισμός Load Regulation

Προκειμένου να διαπιστωθεί η συνέπεια της τάσης εξόδου στις μεταβολές του φορτίου πραγματοποιήθηκαν μετρήσεις για διάφορες τιμές φορτίου. Οι μετρήσεις έλαβαν χώρα για όλες τις τάσεις αναφοράς. Για κάθε μία από αυτές μετρήθηκε η τάση εξόδου που επιτυγχάνεται για τέσσερις διαφορετικές τιμές φορτίου. Το ποσοστό του load regulation υπολογίστηκε σύμφωνα με τη σχέση (2.3). Στον πίνακα που ακολουθεί παρουσιάζονται τα αποτελέσματα των μετρήσεων.

Πίνακας 8.5: Πειραματικά αποτελέσματα για το load regulation σε συχνότητα λειτουργίας $f=1$ kHz.

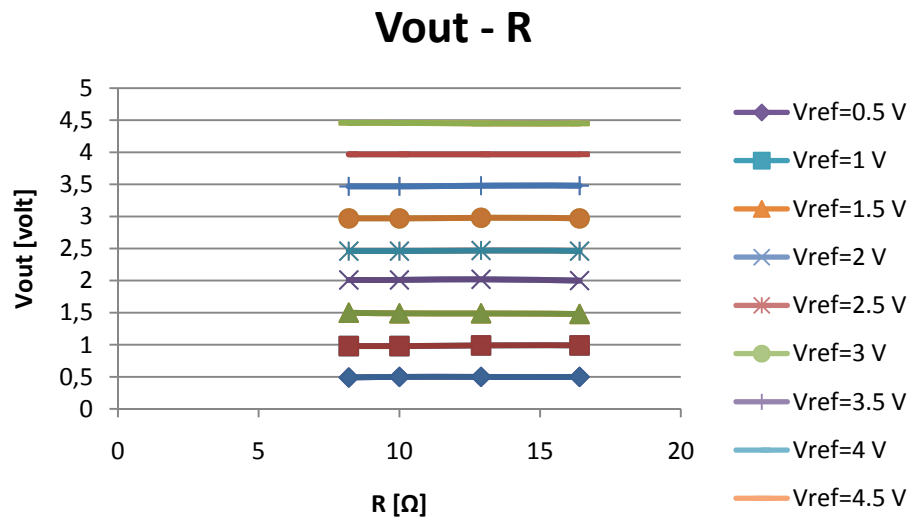
V_{ref} (V)	R (Ω)				%LoadReg
	8.2	10	12.9	16.4	
0.50	0.50	0.50	0.50	0.50	0%
1.00	0.99	0.99	0.98	0.99	1.01%
1.50	1.48	1.49	1.49	1.48	0.6%
2.00	2.00	2.00	1.99	1.99	0.5%
2.50	2.45	2.44	2.44	2.45	0.4%
3.00	3.00	3.00	2.99	2.98	0,66%
3.50	3.51	3.52	3.52	3.52	0.28%
4.00	4.02	4.01	4.00	4.01	0.49%
4.50	4.50	4.50	4.51	4.52	0,44%



Σχήμα 8.8: Επίδραση της μεταβολής του φορτίου στην τάση εξόδου για $f=1$ kHz.

Πίνακας 8.6: Πειραματικά αποτελέσματα για το load regulation σε συχνότητα λειτουργίας $f=200$ kHz.

V_{ref} (V)	R (Ω)				%LoadReg
	8.2	10	12.9	16.4	
0.50	0.49	0.50	0.50	0.50	2%
1.00	0.98	0.98	0.99	0.99	1.01%
1.50	1.50	1.49	1.49	1.48	1.34%
2.00	2.01	2.01	2.02	2.00	1%
2.50	2.46	2.46	2.47	2.46	0.4%
3.00	2.97	2.97	2.98	2.97	0.33%
3.50	3.47	3.47	3.48	3.48	0.28%
4.00	3.97	3.97	3.97	3.97	0%
4.50	4.46	4.46	4.45	4.45	0.22%



Σχήμα 8.9: Επίδραση της μεταβολής φορτίου στην τάση εξόδου για $f=200$ kHz.

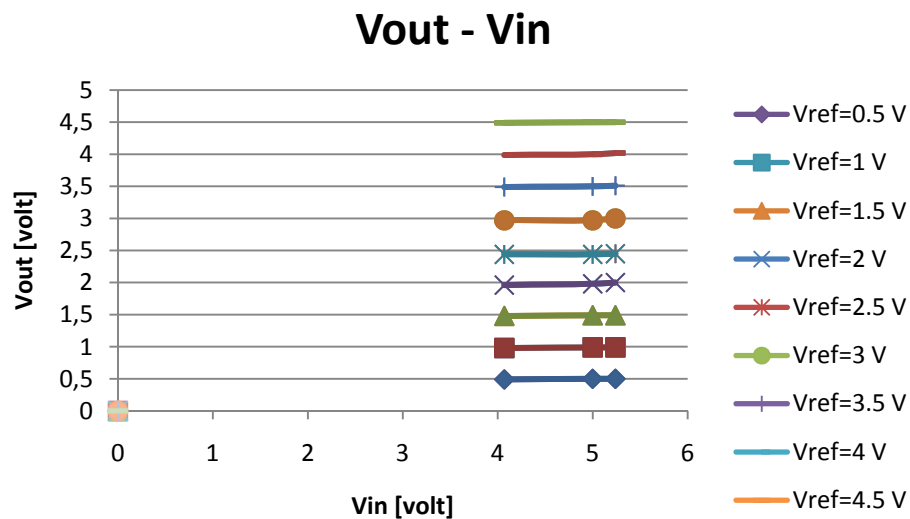
Στην ιδανική περίπτωση η επίδραση της μεταβολής του φορτίου στην τάση εξόδου πρέπει να είναι μηδενική και κατ' επέκταση η γραφική παράσταση που συνδέει αυτά τα μεγέθη πρέπει να είναι ευθεία γραμμή. Από τα Σχ. 8.8 και Σχ. 8.9 γίνεται σαφές πως ο μετατροπέας προσεγγίζει αρκετά ικανοποιητικά αυτή τη συμπεριφορά για όλες τις τάσεις εξόδου.

8.4 Υπολογισμός Line Regulation

Η τελευταία μέτρηση στην οποία υποβλήθηκε ο buck μετατροπέας σχετίζεται με την σταθερότητα που υποδεικνύει η τάση εξόδου όταν αλλάζει η τάση τροφοδοσίας. Προκειμένου να υπολογιστεί το ποσοστό του line regulation για όλες τις τάσεις αναφοράς, εφαρμόστηκαν τρεις διαφορετικές τάσεις τροφοδοσίας στον μετατροπέα. Τα αποτελέσματα από τις μετρήσεις παρουσιάζονται στον πίνακα 8.7. Το ποσοστό του load regulation υπολογίστηκε μέσω της σχέσης (2.4).

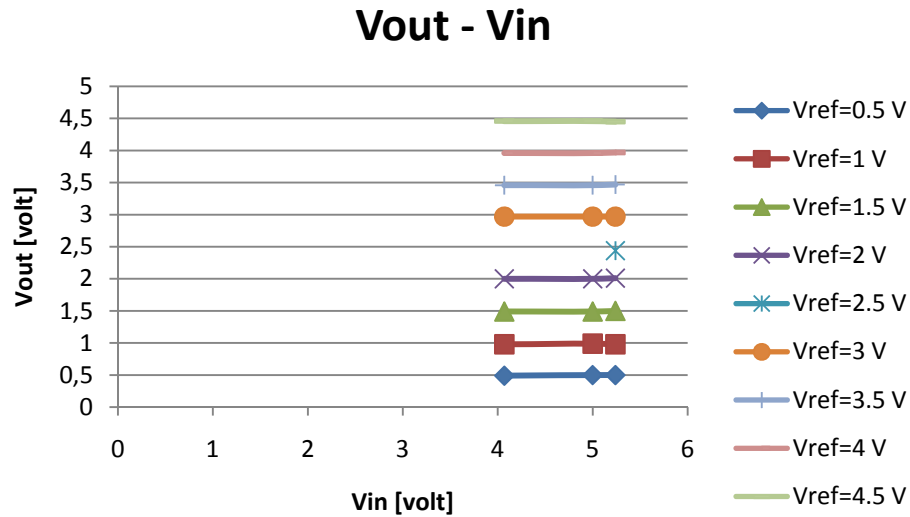
Πίνακας 8.7: Πειραματικά αποτελέσματα για το line regulation σε συχνότητα λειτουργίας $f=1$ kHz

V_{ref} (V)	V_i (V)			%LineReg
	4.07	5	5.24	
0.50	0.49	0.49	0.50	2%
1.00	0.98	0.99	0.99	1.01%
1.50	1.48	1.49	1.49	0.67%
2.00	1.96	1.98	2.00	2%
2.50	2.44	2.44	2.45	0.4%
3.00	2.97	2.97	3.00	1%
3.50	3.49	3.50	3.51	0.66%
4.00	3.99	4.00	4.02	0.75%
4.50	4.49	4.50	4.50	0.22%



Σχήμα 8.10: Επίδραση της μεταβολής της τάσης εισόδου στην τάση εξόδου για $f=1$ kHz.

Πίνακας 8.8: Πειραματικά αποτελέσματα για το line regulation σε συχνότητα λειτουργίας $f=200$ kHz				
	V_i (V)			%LineReg
V_{ref} (V)	4.07	5	5.24	
0.50	0.49	0.50	0.50	2%
1.00	0.98	0.99	0.98	1.01%
1.50	1.49	1.49	1.50	0.67%
2.00	2.00	2.00	2.01	0.50%
2.50	2.44	2.45	2.46	0.81%
3.00	2.97	2.97	2.97	0%
3.50	3.46	3.46	3.47	0.29%
4.00	3.96	4.96	3.97	0.25%
4.50	4.46	4.45	4.46	0.22%



Σχήμα 8.11: Επίδραση της μεταβολής της τάσης εισόδου στην τάση εξόδου για $f=200$ kHz.

Η τάση εξόδου ενός μετατροπέα πρέπει να μένει αμετάβλητη στις αλλαγές της τάσης εισόδου προκειμένου να θεωρείται αξιόπιστος. Από το διάγραμμα του Σχ. 8.11 είναι εμφανές πως ο μετατροπέας της συγκεκριμένης υλοποίησης είναι σύμφωνος με αυτή την αρχή, δεδομένου ότι σχεδόν όλες οι γραφικές παραστάσεις είναι ή πλησιάζουν πολύ την ευθεία γραμμή.

9 Συμπεράσματα – Μελλοντικές επεκτάσεις

Σε αυτή την εργασία πραγματοποιήθηκε η θεωρητική μελέτη και η υλοποίηση ενός buck DC-DC μετατροπέα, ο ρυθμός αγωγής του οποίου ελέγχεται ψηφιακά από έναν PID ελεγκτή και έναν ψηφιακό διαμορφωτή εύρους παλμών, DPWM. Στον μετατροπέα εφαρμόζεται συνεχής τάση εισόδου, $V_{in} = 5.24 V$ και στην έξοδο δύναται να επιτευχθεί οποιαδήποτε συνεχής τάση μικρότερη ή ίση από αυτή της εισόδου. Τόσο το αναλογικό όσο και ψηφιακό κύκλωμα υλοποιήθηκαν για δύο συχνότητες λειτουργίας, $f = 1 kHz$ και $f = 200 kHz$. Όλο το ψηφιακό κύκλωμα αφού μελετήθηκε θεωρητικά υλοποιήθηκε σε hardware στο FPGA Spartan-3 της Xilinx με χρήση της γλώσσας περιγραφής υλικού VHDL.

Μετά την ολοκλήρωση του σχεδιασμού και της υλοποίησης του συστήματος, ο μετατροπέας υποβλήθηκε σε μια σειρά μετρήσεων προκειμένου να αξιολογηθεί η ορθή λειτουργία του. Σε πρώτη φάση εφαρμόστηκαν διαφορετικές τάσεις αναφοράς και με ψηφιακό πολύμετρο μετρήθηκε η τάση εξόδου προκειμένου να εκτιμηθεί η ακρίβεια των παραγόμενων συνεχών τάσεων. Αξίζει να σημειωθεί πως το απόλυτο σφάλμα σε όλες τις μετρήσεις που πραγματοποιήθηκαν είναι μικρότερο από $0.05 V$, με τις περισσότερες από αυτές να εμφανίζουν μηδενικό σφάλμα. Σε παρόμοιες υλοποιήσεις του buck μετατροπέα που αναφέρονται στη βιβλιογραφία, στις οποίες χρησιμοποιούνται ποικίλοι τρόποι ελέγχου, το σφάλμα της τάσης εξόδου κυμαίνεται από $0.04 V$ έως $0.1 V$. Ο επόμενος στόχος ήταν η έξοδος να εμπεριέχει όσο το δυνατόν μικρότερη διακύμανση. Οι επόμενες μετρήσεις σχετίζονται με τον υπολογισμό του ποσοστού κυμάτωσης που παρουσιάζουν οι τάσεις εξόδου του μετατροπέα. Από τα αποτελέσματα των μετρήσεων προέκυψε πως στη χειρότερη περίπτωση η διακύμανση είναι της τάξης του 3% (μόνο για μία τάση αναφοράς) ενώ στις υπόλοιπες τα ποσοστά κυμαίνονται από 0.47% έως 2%. Τέλος ένα ακόμα χαρακτηριστικό που πρέπει να έχει ένα καλό τροφοδοτικό είναι η σταθερότητα της τάσης εξόδου του σε μεταβολές που πραγματοποιούνται στο φορτίο εξόδου και στην τάση εισόδου, load και line regulation αντίστοιχα. Στο 80% των αποτελεσμάτων η μεταβολή της τάσης εξόδου είναι μικρότερη του 1% με ελάχιστες περιπτώσεις να φτάνουν στο 2%.

Η επιλογή του FPGA για την υλοποίηση του ψηφιακού κυκλώματος χρησιμοποιήθηκε προκειμένου να επιτευχθεί όσο το δυνατόν υψηλότερη ταχύτητα. Η σχεδίαση έγινε με τέτοιο τρόπο έτσι ώστε να γίνει εκμετάλλευση της δυνατότητας που προσφέρει η FPGA για παραλληλία και ομοχειρία. Έτσι, όσες πράξεις είναι ανεξάρτητες μεταξύ τους πραγματοποιούνται παράλληλα, γεγονός που αυξάνει την ταχύτητα των υπολογισμών. Επιπλέον το σύστημα είναι ομόχειρο με αποτέλεσμα μετά από 7 κύκλους λανθάνουσας κατάστασης (latency), να παράγεται καινούργιο αποτέλεσμα σε κάθε κύκλο ρολογιού. Σύμφωνα με το place and route της Xilinx η μέγιστη συχνότητα για τη VHDL υλοποίηση του PID ελεγκτή είναι 203.005 MHz, ενώ για τον συνδυασμό PID και DPWM είναι 74.665 MHz. Είναι σαφές λοιπόν ότι η υλοποίηση θεωρητικά μπορεί να λειτουργήσει σε υψηλές συχνότητες, με κατάλληλη επιλογή των υπόλοιπων εξαρτημάτων.

Πλεονεκτήματα ακόμα της παρούσας σχεδίασης είναι (α) η ανεξαρτησία που παρουσιάζει ο ελεγκτής ως προς την διάταξη που ελέγχει και κατ' επέκταση η δυνατότητα χρήσης του σε άλλα συστήματα που απαιτούν κάποια μορφή ελέγχου, και (β) ο ελάχιστος αριθμός πόρων του FPGA που χρησιμοποιεί. Τέλος, αξίζει να σημειωθεί πως στην υπάρχουσα βιβλιογραφία υπάρχει μία ακόμα εργασία η οποία συνδυάζει buck DC-DC μετατροπέα, PID ελεγκτή, DPWM και FPGA και η οποία έχει υλοποιηθεί για συχνότητα λειτουργίας $f = 100 \text{ kHz}$. Δεδομένου ότι για την προαναφερθείσα υλοποίηση δίνονται πληροφορίες σχετικά με την χρήση μόνο μίας τάση αναφοράς ($V_{ref} = 1.8 \text{ V}$), η σύγκριση της παρούσας διπλωματικής εργασίας με την ίδια περιορίζεται στην συχνότητα λειτουργίας, όπου για την περίπτωση της συγκεκριμένης εργασίας ανέρχεται στα 200 kHz.

Μελλοντικά, με χρήση FPGA το οποίο θα διαθέτει ταχύτερο ρολόι, μπορεί να υλοποιηθεί DPWM που θα χαρακτηρίζεται από μεγαλύτερη ακρίβεια, ώστε να επιτυγχάνονται συνεχείς τάσεις εξόδου με ακρίβεια δεύτερου δεκαδικού ψηφίου, καθώς και η υλοποίηση ολόκληρου του συστήματος (ψηφιακό-αναλογικό) σε υψηλότερη συχνότητα.

10 Βιβλιογραφία

1. **A. Prodic, D. Maksimovic.** *Design of a Digital PID Regulator Based on Look-Up-Tables for Control of High-Frequency DC-DC Converters.* Boulder : Colorado Power Electronics Center.
2. *Efficient Implementation of PID Control Algorithm using FPGA Technology.* **Y.F. Chan, M. Moallem, W. Wang.** Atlantis, Paradise Island, Bahamas : 43rd IEEE Conference on Decision and Control, 2004. 0-7803-8682-5/04.
3. **Y. F. Chan, M. Moallem, W. Wang.** Design and Implementation of Modular FPGA-Based PID Controllers. *IEEE TRANSACTIONS OF INDUSTRIAL ELECTRONICS.* 2007, Τόμ. 54, 4.
4. **M. He, J. Xu.** *Nonlinear PID in Digital Controlled Buck Converter.* P.R. China : IEEE, 2007. 1-4244-0714-1/07.
5. **Hsieh, C.H.** *Optimal Fuzzy-Immune-PID Controllers Design of PWM DC-DC Converters.* Taiwan : IEEE, 2007. 1-4244-1214-5/07.
6. *High-Frequency pulse width modulation implementation using FPGA and CPLD ICs.* **E. Koutroulis, A. Dollas, K. Kalaitzakis.** 52, Chania : ELSEVIER, 2006. 332-344.
7. **A. Kelly, K. Rinne.** *High Resolution DPWM in a DC-DC Converter Application Using Digital Sigma-Delta Techniques.* IRELAND : IEEE, 2005. 0-7803-9033-4/05.
8. *Hybrid Posicast Controller for a DC-DC Buck Converter.* **K. Udhayakumar, P. Lakshmi, K. Boobal.** 1, Chennai : SERBIAN JOURNAL OF ELECTRICAL ENGINEERING, 2008, Τόμ. 5. 121-138.
9. **Rashid, M. H.** *Power electronics handbook* . Canada : Academic Press, 2001. 0125816502.
10. **Erickson, Robert W.** DC-DC Power Converters. *Wiley Encyclopedia of Electrical and Electronics Engineering.*
11. **Ang, Simon S.** *Power-Switching Converters.* USA : Acid-free paper, 1995. 0-8247-9630-6.
12. **K. I. Hwu, Y. T. Tau.** A Forward Converter Having an FPGA-Based PID Controller with Parameters On-line Tuned. *IEEE.* 2005, 0-7803-9296-5/05.
13. *Measuring Line and Load Regulation.* [Application Note] s.l. : Rantec Power Systems, 2005.
14. **Rahman, M. Saad.** *Buck Converter Design Issues.* [Degree Thesis] Linköping : s.n., 2007. Licentiate thesis.

15. **D. Schelle, J. Castorena.** *Buck-Converter Design Demystified.* California : Power electronics technology, 2006.
16. **L. Desborough, R. Miller.** Chapter Ten, PID Control. 2002.
17. **Astrom, K. Johan.** PID Control. *Control System Design* . 2002.
18. **O'Dwyer, Aidan.** *PI and PID Controller Tuning Rules.* London : Imperial College Press, 2006. 1-86094-622-4.
19. *Auto Tuning PID Controller based on Improved Genetic Algorithm for Reverse Osmosis Plant.* **J. Sung, J. H. Kim, J. M. Park, S. M. Park, W. Y. Choe, H. Heo.** Korea : s.n., 2008, Τόμ. 30. 1307-6884.
20. **Visioli, Antonio.** *Practical PID Control.* London : Springer, 2006. 1846285852.
21. **Σιώζιος, Κωνσταντίνος Σ.** *Σχεδιασμός Βασικής Δομικής Μονάδας και Ανάπτυξη Εργαλείων Σχεδιασμού για Ενσωματωμένο FPGA.* [Μεταπτυχιακή Διατριβή] Ξάνθη : Πολυτεχνική Σχολή Ξάνθης, 2003.
22. **Xilinx.** *Spartan-3 Starter Kit Board User Guide.* 2004.
23. *Digital Power Management Hardware Realization Using FPGA.* **K. F. Chong, A. L. Astuti, P. K. Gopalakrishman, T. H. Teo.** 2008, Τόμ. 32. 2070-3740.

